



Rapporti Tecnici INAF INAF Technical Reports

Number	171
Publication Year	2022
Acceptance in OA@INAF	2022-07-05T15:10:16Z
Title	Relazione tecnica sulla PSU board (Power Supply Unit) del CubeSat HERMES (High Energy Rapid Modular Ensemble of Satellites): Struttura e circuito implementato per le linee di alimentazione del detector 2V0 e HV
Authors	NOGARA, PAOLO, SOTTILE, Giuseppe
Affiliation of first author	IASF Palermo
Handle	http://hdl.handle.net/20.500.12386/32459 , https://doi.org/10.20371/INAF/TechRep/171

Relazione tecnica sulla PSU board (Power Supply Unit) del CubeSat HERMES (High Energy Rapid Modular Ensemble of Satellites): Struttura e circuito implementato per le linee di alimentazione del detector 2V0 e HV

Descrizione sull'implementazione del controllo delle linee 2V0 e 12V0 di alimentazione della PSU board. Queste sono le tensioni di alimentazione del fotorivelatore SDD.

Paolo Nogara*, Giuseppe Sottile*

*IASF-INAF di Palermo – Palermo (PA)

Sommario

Prefazione.....	3
Capitolo 1: Schema a blocchi delle linee di alimentazione.	4
2V0.....	4
12V0.....	5
Capitolo 2: Dallo schema a blocchi allo schemi elettrico	6
2V0.....	6
Sezione della generazione dei 2V0.....	6
Sezione della alimentazione dei circuiti integrati presenti sulla linea 2V0	9
Sezione del BUS-2V0 ed alimentazione quadranti	11
12V0.....	13
Circuito per la generazione della rampa.....	15
Circuito per il feedback della HV	17
Switches di quadrante HV e relativa rete di controllo/alimentazione	18
Capitolo 3: Realizzazione schede e test di funzionamento	19
2V0.....	19
12V0.....	20
Capitolo 4: Conclusioni	23

Prefazione

Con questo documento si vuole dare una descrizione dettagliata delle scelte progettuali che sono state fatte per la realizzazione del circuito relativo la scheda PSU (Power Supply Unit) dei CubeSat del progetto HERMES.

Di seguito verrà descritta la struttura del seguente documento.

Nel **Capitolo 1** si riporta lo schema a blocchi delle linee 2V0 e 12V0 della PSU con cui si polarizza il detector. Si descriveranno la struttura e le funzionalità delle varie sezioni.

Nel **Capitolo 2** sono descritti gli schemi elettrici con cui si sono implementati i blocchi descritti nel Capitolo 1.

Nel **Capitolo 3** si descrivono le board realizzate, ed i setup implementati, per verificare il funzionamento dei circuiti che costituiscono le varie sezioni dello schema a blocchi della PSU. Si riportano pure gli andamenti e i risultati delle grandezze d'interesse.

Nel **Capitolo 4** si riportano le conclusioni e le osservazioni sui circuiti realizzati ed alle relative acquisizioni.

Capitolo 1: Schema a blocchi delle linee di alimentazione.

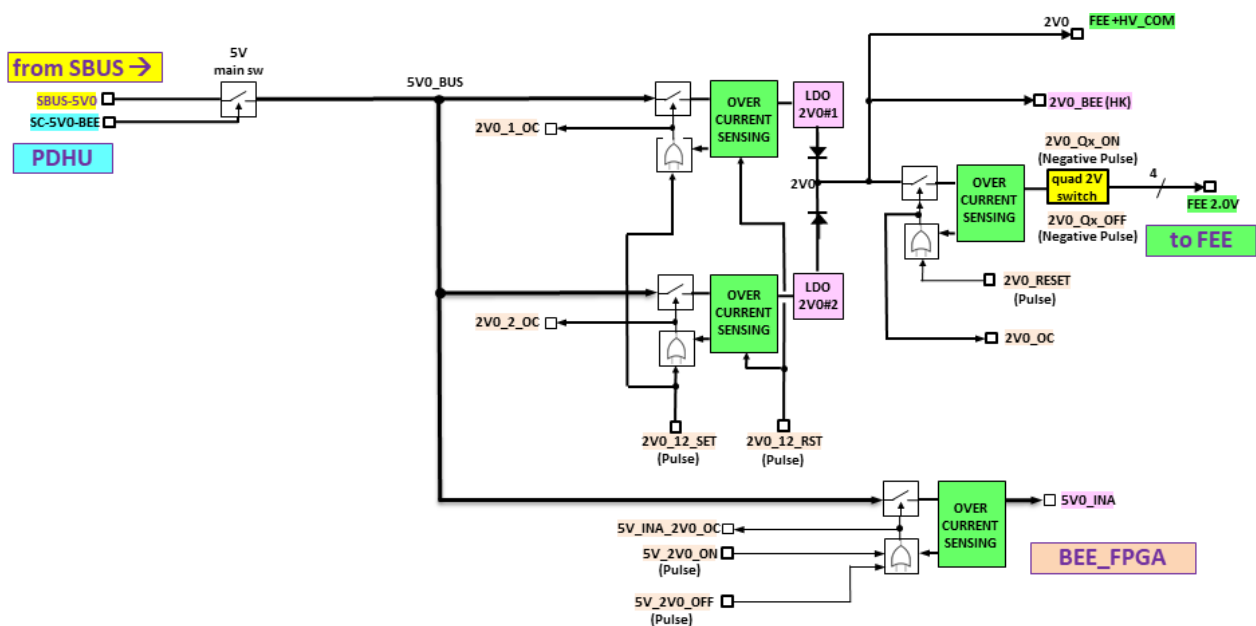
Con la PSU (*Power Supply Unit*) si devono fornire le tensioni necessarie al funzionamento del *Payload*. Tali tensioni provengono dal BUS di satellite e devono essere opportunamente indirizzate alle varie sezioni del *Payload*.

Nello specifico di seguito verranno descritte le sezioni in cui vengono generate le tensioni di polarizzazione per il fotorivelatore SDD (*Silicon Drift Detector*).

2V0

Con questa sezione si alimenta l'ultimo anello del detector al fine di evitare di danneggiare il rivelatore SDD nel caso dovesse improvvisamente venir meno la HV (*High Voltage*). Da ciò si capisce che questa tensione deve essere sempre presente prima di generare la HV.

Di seguito si riporta lo schema a blocchi della linea 2V0:



Va notata una certa somiglianza tra lo schema a blocchi riportato sopra e quello riportato nei precedenti report [1] [2] [3]. Nello specifico si chiarisce che il blocco "5V0 main sw" è lo stesso in quanto si ha un solo switch di BUS relativo ad SBUS-5V0. Dalla sezione 5V0_BUS, che non va monitorata, si alimentano tutte le sezioni che vanno alimentate con i 5V.

Dallo schema a blocchi di questa linea si vede che possono suddividere due macro sezioni:

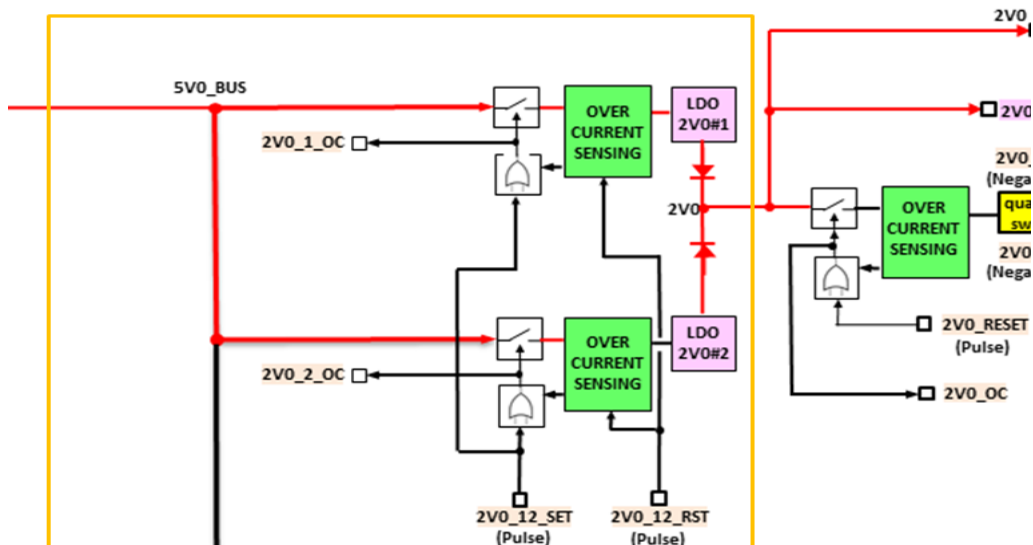
1. Sezione a 5V0_INA: tensione di alimentazione per gli integrati di linea (linea in basso);
2. Sezione a 2V0_FEE: tensione di alimentazione di linea (restanti linee).

Con la prima sezione si alimentano tutti i circuiti integrati presenti sulla linea 2V0: switches integrati [4], flip-flop (FF) [5], *INA301-Q1* [6]. Questa sezione comprende uno switch pilotato da BEE e un Over Current Sensing che apre la sezione 5V0_INA qualora uno degli integrati alimentati dovesse manifestare un assorbimento anomalo.

Con la seconda sezione si forniscono i 2V0 alla FEE per la polarizzazione del fotorivelatore SDD. In questa sezione si possono distinguere altre due sezioni: una che fornisce i 2V0 mediante la linea *FEE +HV_COM* (in alto a destra) ed una che fornisce i 2V0 mediante gli switches di quadrante mediante la linea *FEE 2.0V*.

Generalmente i 2V0 vengono forniti alla FEE tramite uno switch di linea pilotato dalla BEE e da un Over Current Sensing che rivela eventuali condizioni di OC. A valle del Over Current Sensing si hanno i quattro switches di quadrante controllabili singolarmente. Qualora ci dovesse essere un problema in questa sezione i 2V0 vengono garantiti mediante la linea *FEE +HV_COM*: ossia tramite un MOS sulla FEE.

Un'altra peculiarità che si può notare nella prima parte della sezione 2V0_FEE è che i 2V vengono generati mediante due LDO collocati su due rami paralleli.

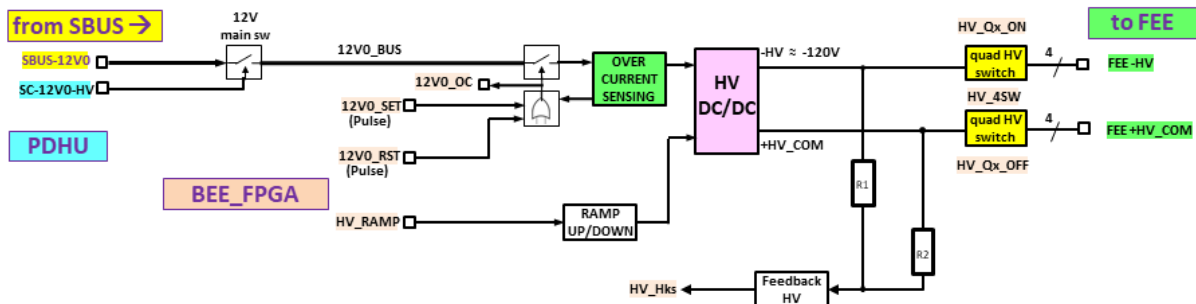


Così facendo si ha un'ulteriore ridondanza sulla generazione dei 2V0. Infatti se dovesse esserci un OC su uno dei due rami, interviene il blocco di Over Current Sensing del ramo interessato aprendo il relativo switch. La tensione a valle verrà comunque garantita dal ramo rimasto chiuso permettendo così di effettuare lo spegnimento della HV in tutta sicurezza senza rischiare di danneggiare il fotorivelatore.

12V0

Con questa tensione si genera la HV che va a polarizzare il fotorivelatore SDD.

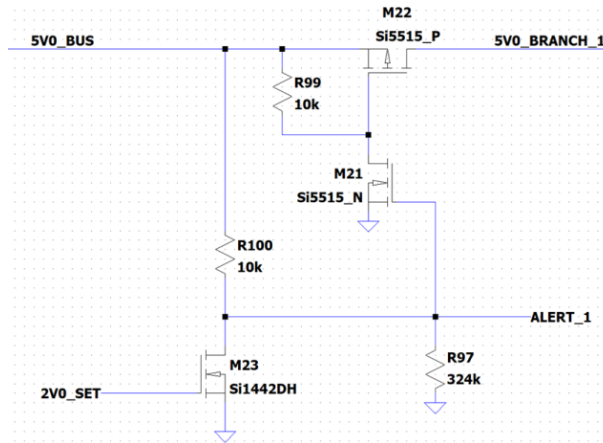
La HV viene generata dai 12V0 mediante un DC-DC [7] che genera una rampa avente una durata di circa 6 secondi; durata analoga avrà anche la rampa di discesa. Di seguito si riporta lo schema a blocchi della linea:



Come si vede i primi due blocchi che costituiscono la linea sono uno switch di BUS, controllato dalla PDHU, ed uno switch di linea, controllato dalla BEE. I due switch hanno strutture diverse: il primo è controllato a livelli mentre il secondo è controllato ad impulsi perché implementa la funzione latch. A valle dello switch di linea si ha un *INA301-Q1* che monitora una R_{sense} per rivelare eventuali condizioni di OC, in tal caso l'*INA301-Q1* apre lo switch di linea. Subito dopo il blocco di Over Current Sensing si ha il DC-DC con cui si genera la HV. Come accennato prima la HV viene generata tramite una rampa implementata con componenti discreti per non essere interessata da latch-up. A valle del DC-DC si hanno i quattro switches HV di quadrante con cui si alimentano gli SDD sulla FEE.

Come riportato nello schema a blocchi, e nello schema sopra, la prima sezione è costituita da due rami in parallelo: ramo1 e ramo2. Ciascuno dei singoli rami è costituito da tre blocchi: uno switch di linea, un Current Sensing ed un regolatore LDO con cui si generano i 2V0. Per rendere comprensibile lo schema si riporteranno i circuiti relativi al singolo blocco del ramo1.

La struttura dello switch di ramo presenta una struttura differente rispetto agli switch visti fin ora, una tra tutte è che si comanda l'apertura e non la chiusura. Di seguito si riporta il circuito implementato:



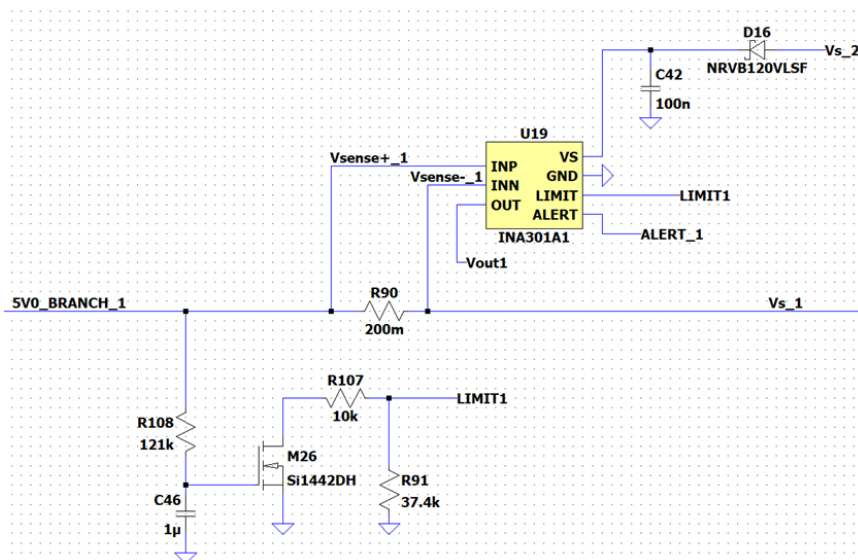
Nel circuito sopra si vede che tramite i resistori R100-R97 si partizionano i 5V, così facendo M21 (MOS-n) entrerà in conduzione portando basso il gate di M22 (MOS-p) che entrerà a sua volta in conduzione.

Si può dedurre che lo switch del singolo ramo è normalmente chiuso non appena si alimenta la sezione dei 5V0_BUS.

Nel caso la BEE porti a livello logico alto il pin 2V0_SET, si farà entrare in conduzione M23 (MOS-n) che porterà basso il centro del partitore R100-R97: ossia il gate di M21 che entrerà in interdizione. Così facendo si interdice anche M22, infatti il gate di M22 sarà portato ad un livello logico alto tramite R99, disalimentando l'intero ramo.

La stessa cosa succede se ad interdire M21 è il Current Sensing anziché la BEE: si porta basso il gate tramite la linea ALERT_1.

A valle dello switch di ramo si ha il blocco di Current Sensing che è stato implementato con il seguente circuito:

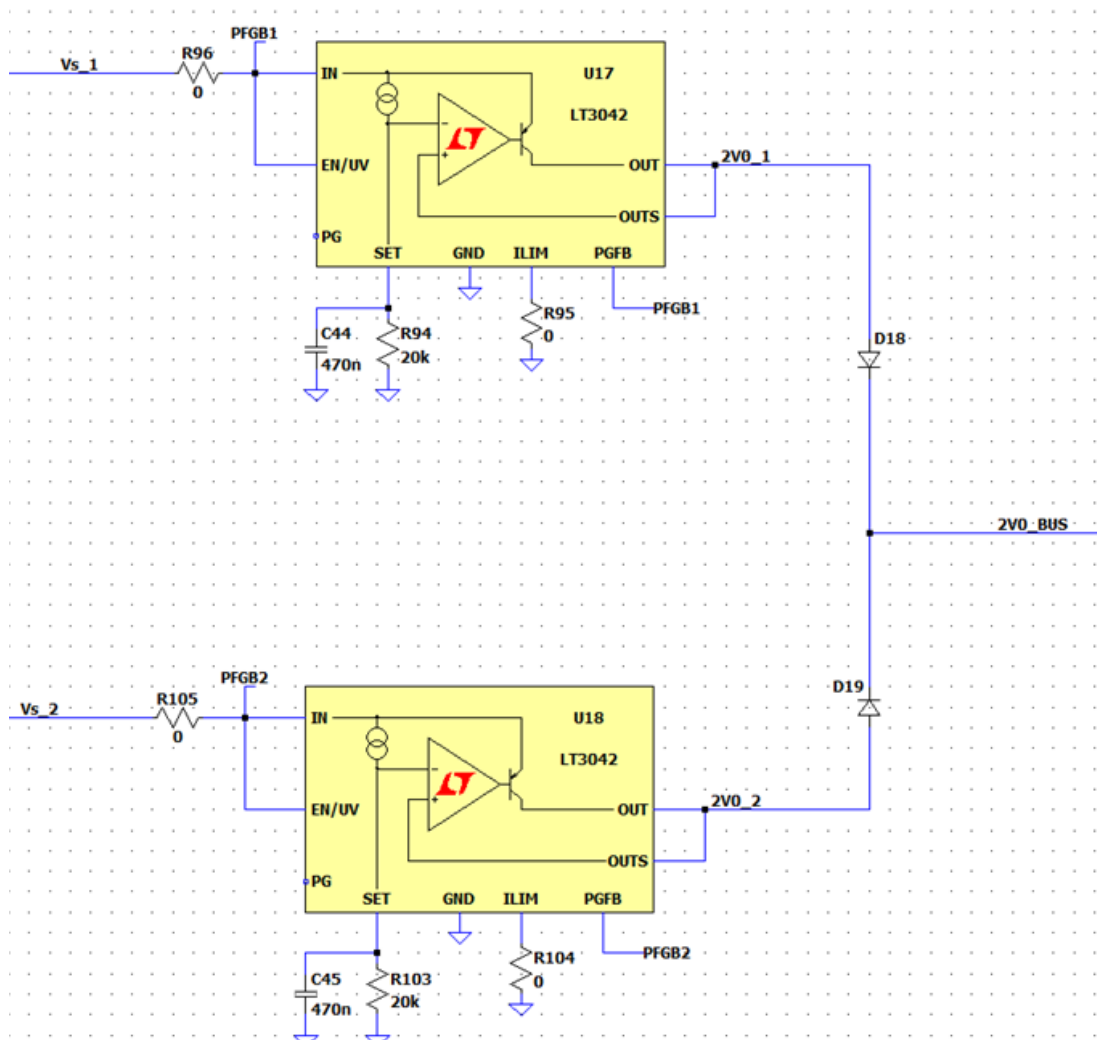


In questo blocco si può vedere che con i componenti R108, C46, M26, R107 ed R91 si è implementata la rete ritardatrice che fa cambiare la soglia d'intervento all'INA301-Q1, per la logica di funzionamento si rimanda al report [2].

Il Current Sensing del ramo1 è stato implementato con un *INA301-Q1* che monitora la R_{sense} del ramo1. Per creare una ridondanza sul controllo delle condizioni di OC si è deciso di alimentare l'*INA301-Q1* del ramo1 a valle della R_{sense} del ramo2, e viceversa per l'*INA301-Q1* del ramo 2.

Nel caso ad esempio si verifici un OC sul ramo1 interverrà l'*INA301-Q1* che monitora la R_{sense} del ramo1 ma che è alimentato a valle della R_{sense} del ramo2; così si provvede a mantenere l'apertura del ramo1. In tale condizione si noti come i 2V0 vengano comunque mantenuti a valle dei due rami mediante il ramo2. Ovviamente non appena viene rivelata la condizione di OC sul ramo1 la BEE dovrà provvedere ad avviare lo spegnimento delle sezioni critiche della PSU: la HV in particolare. Lo stesso varrà specularmente se la condizione di OC dovesse verificarsi sul ramo2. Questa struttura è stata adottata perché si è tenuto conto di quanto riportato in [8] ossia che la probabilità che si verifichi un fenomeno di latch-up contemporaneamente su due dispositivi sia molto bassa.

A valle del blocco Current Sensing si trova il blocco LDO con cui vengono generati i 2V0. I regolatori LDO [9] sono gli stessi utilizzati per la generazione dei 3V3A e dei 3V3D il circuito implementato è il seguente:



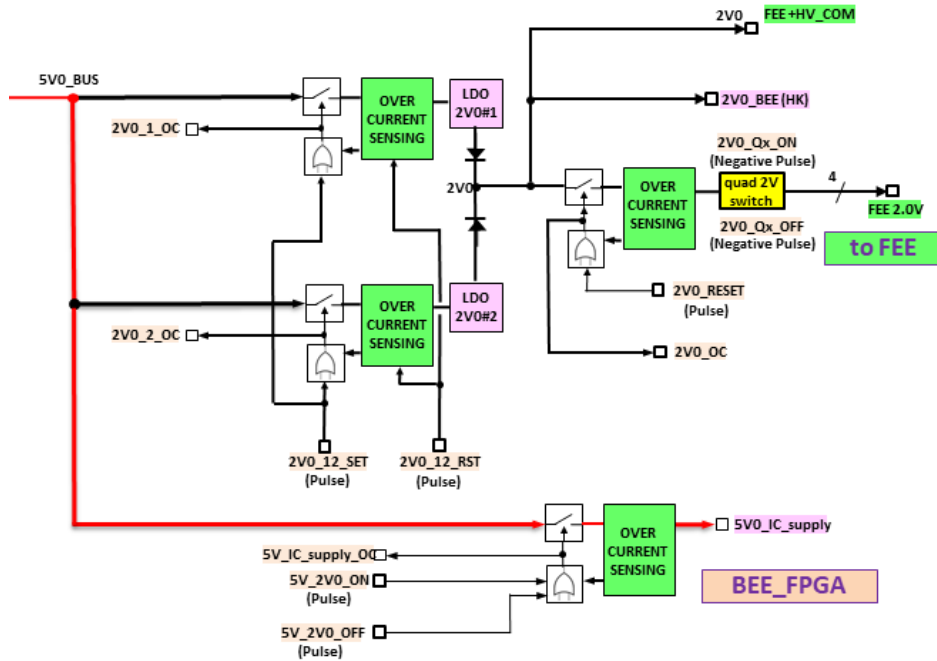
I diodi D18 e D19 servono a far in modo che il singolo LDO regoli al meglio delle sue prestazioni.

Considerando quindi la struttura di questa sezione in cui vengono generati i 2V0 dalla 5V0_BUS, si mette in evidenza che non appena si chiude lo switch di BUS (5V_main_sw), i due LDO provvederanno a generare i 2V0 che saranno disponibili alla sezione 2V0_BUS.

Sezione della alimentazione dei circuiti integrati presenti sulla linea 2V0

Con questa sezione si fornisce la tensione di alimentazione per i circuiti integrati presenti sulla linea dei 2V0: INA301-Q1, switch integrati e FF.

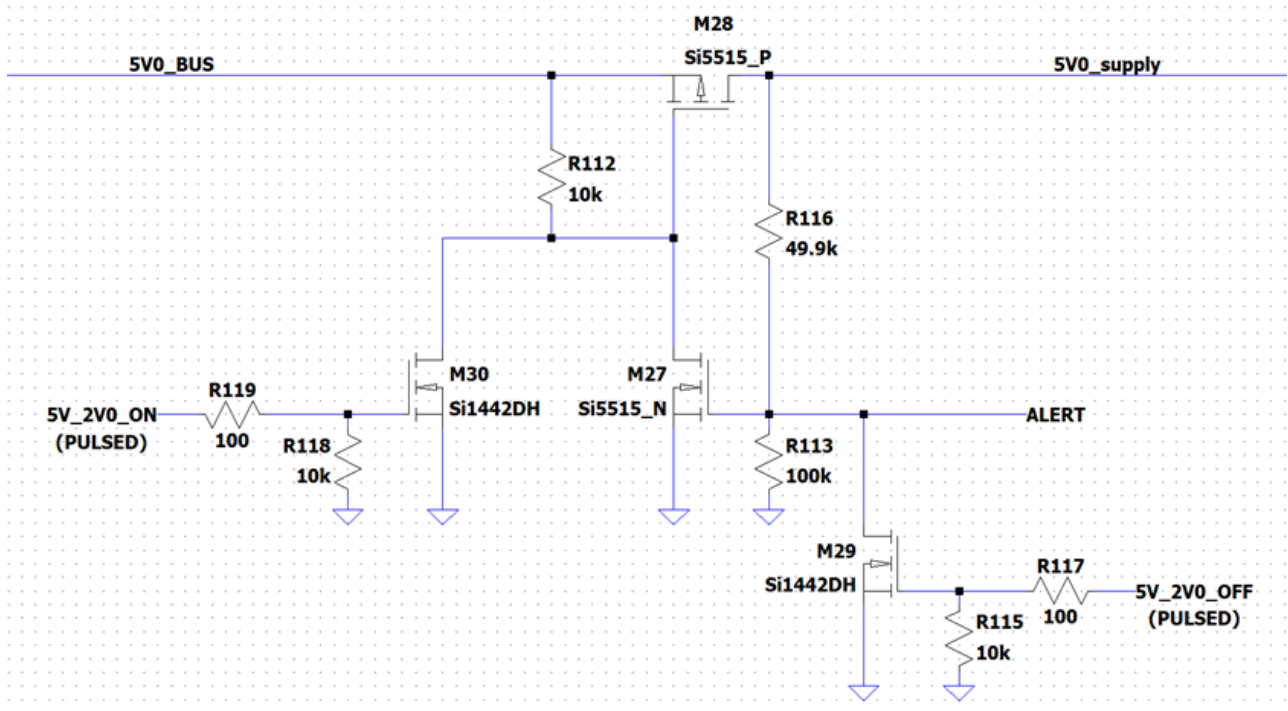
Di seguito si riporta lo schema a blocchi in cui si evidenzia questa sezione:



Si vede che la sezione in questione è costituita da uno switch, da un blocco Over Current Sensing e da un blocco OR.

Di seguito si riportano i circuiti realizzati per implementare i blocchi.

Per implementare lo switch si è implementato il seguente circuito:



Lo switch è normalmente aperto, infatti M28 (MOS-p) è interdetto perché il gate è tenuto a livello logico alto da R112. Finché non viene inviato il comando di accensione tramite il pin 5V_2V0_ON, un impulso, lo switch resterà aperto.

Inviando un impulso al gate di M30 mediante i resistori R119-R118 dal pin 5V_2V0_ON, per tutto il T_{ON} dell'impulso si porterà a livello logico basso il gate di M28 che inizierà a condurre.

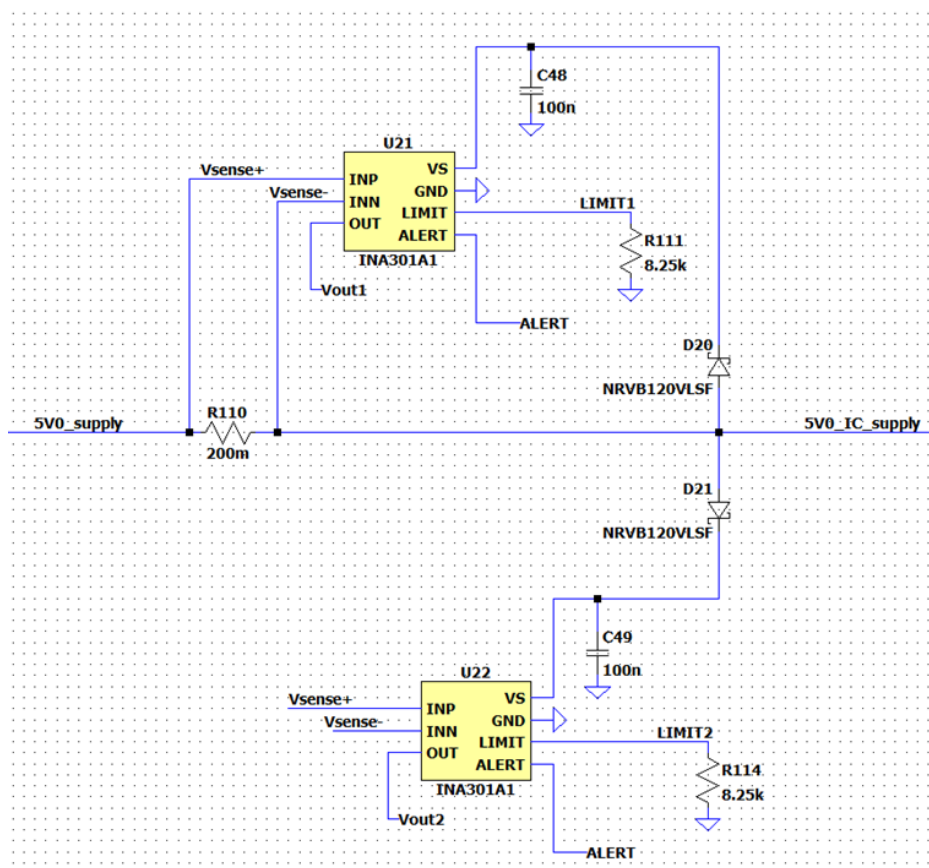
La durata dell'impulso di accensione deve essere tale da far entrare in conduzione M27, infatti questo MOS-n verrà mantenuto in conduzione dai resistori R116-R113 che partizionano la tensione di linea: questi due resistori implementano la funzione latch per lo switch. A questo punto lo switch rimarrà indefinitamente in conduzione fino a quando non se ne comanderà lo spegnimento.

Il nodo al gate di M27 implementa il blocco OR con cui si controlla lo spegnimento dello switch, infatti si può spegnere in due modi:

- portando basso il gate tramite il pin ALERT;
- inviando l'impulso di spegnimento tramite il pin 5V_2V0_OFF.

Nel primo caso lo spegnimento viene ottenuto tramite il comando proveniente dall'Over Current Sensing, nel secondo caso viene comandato dalla BEE.

A valle dello switch si ha l'Over Current Sensing costituito da due *INA301-Q1* alimentati a valle della stessa R_{sense} che monitorano. Di seguito si riporta lo schema implementato:



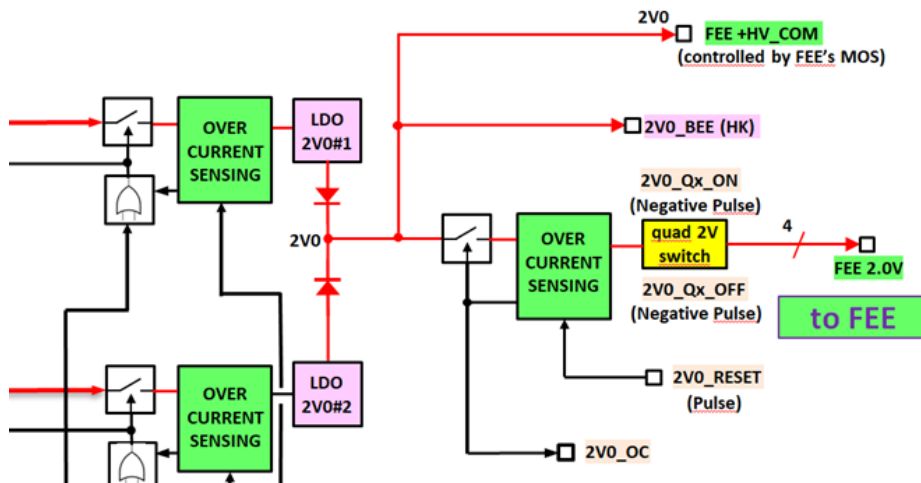
Gli *INA301-Q1* interverranno non appena riveleranno una condizione di OC aprendo la linea.

Non appena la condizione di OC viene rivelata in questa sezione, la BEE dovrà provvedere a spegnere le sezioni critiche per la FEE perché si perderebbe il controllo degli switches integrati e delle sezioni alimentate da essi.

Questa sezione di alimentazione dei circuiti integrati va accesa prima di fornire i 2V0 alla linea che alimenta la FEE, altrimenti non si avrà il controllo della circuiteria.

Sezione del BUS-2V0 ed alimentazione quadranti

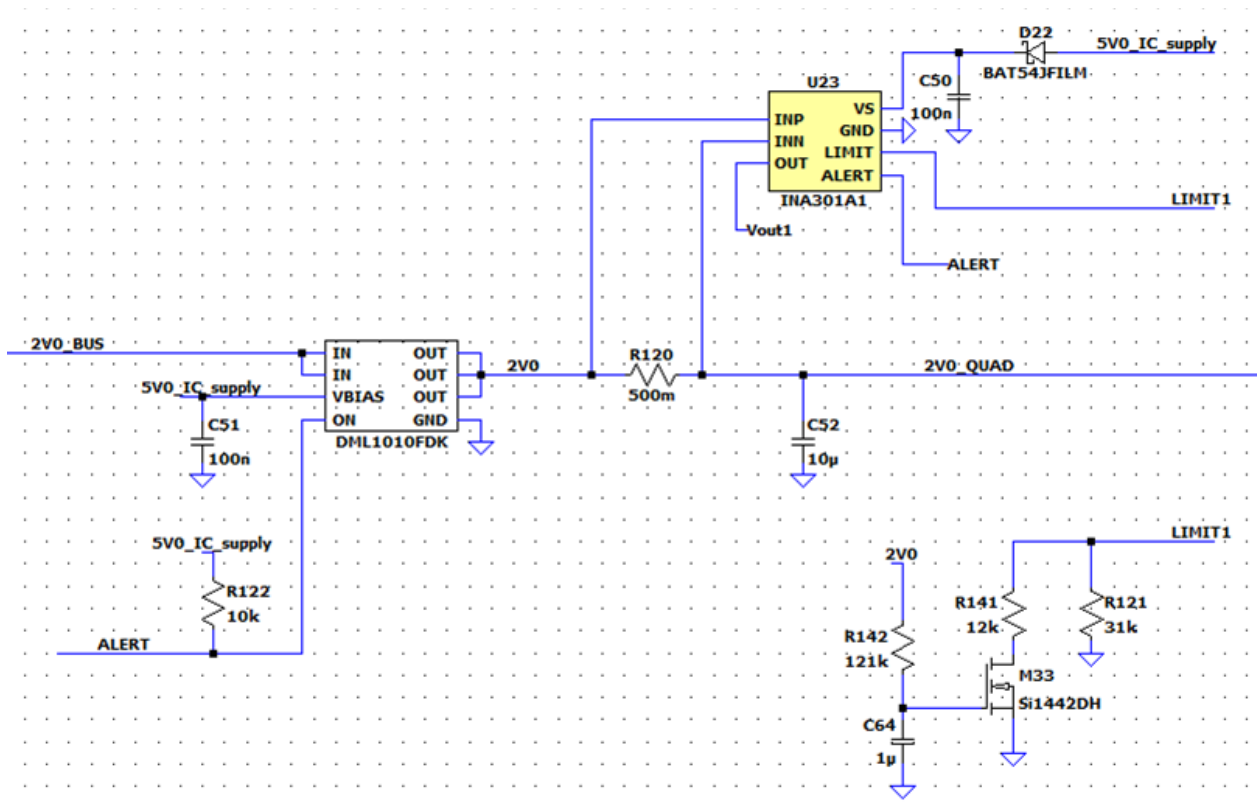
Questa sezione si trova a valle dei due rami in cui si generano i 2V0 e comprende la restante parte della linea 2V0 con cui si va ad alimentare la FEE. Per chiarezza si riporta lo schema a blocchi in cui si è evidenziata la sezione a cui si sta facendo riferimento:



Come si vede i 2V0 possono essere forniti alla FEE mediante due vie: una linea da cui si ottiene anche il segnale di HK, che è connessa all'ultimo anello di polarizzazione del fotorivelatore SDD mediante un MOS presente sulla FEE, oppure mediante una linea contenente uno switch di linea, un Over Current Sensing e quattro switches di quadrante.

Visto che sulla PSU relativamente alla prima linea non si hanno blocchi, si descrivono di seguito i blocchi della linea contenente lo switch, l'Over Current Sensing e gli switches dei quattro quadranti.

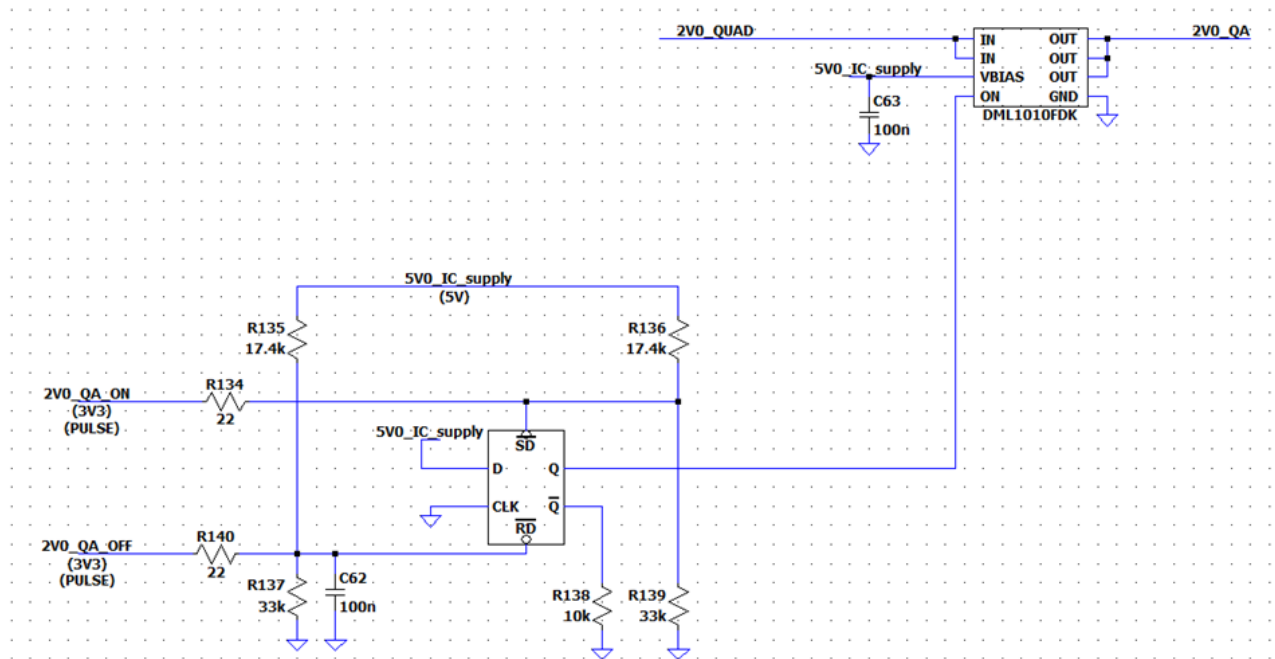
In questo caso lo switch di linea utilizzato è uno switch integrato [4], lo stesso si è già visto nel precedente report [3] in merito alle sezioni 3V3A e 3V3D. Di seguito si riporta il circuito con cui si sono implementati il blocco dello switch e l'Over Current Sensing:



Si può vedere che con i componenti R142, C64, M33, R141 ed R121 si è implementata la rete ritardatrice che fa sì di far cambiare la soglia d'intervento all'INA301-Q1, per la logica di funzionamento si rimanda al report [2].

Inoltre si vede che lo switch integrato viene alimentato ed abilitato non appena si forniscono i 5V ai circuiti integrati mediante la precedente sezione (5V0_IC_supply).

Per semplicità di seguito si riporta il circuito relativo al singolo quadrante ed al relativo controllo:



In alto a destra si ha lo switch integrato di quadrante che viene alimentato dalla 5V0_IC_supply e controllato da un flip-flop (in basso a sinistra).

Il flip-flop [5] utilizzato è di tipo D ed è alimentato dalla 5V0_IC_supply (5V) ma controllato dalla BEE (3V3). Sul flip-flop l'ingresso D è mantenuto a livello logico alto ed il clock è mantenuto a livello logico basso. In questo modo si controlla l'uscita Q mediante i pin RESET e SET, entrambi attivi bassi.

Quando si forniscono i 5V per l'accensione si ha la seguente condizione:

- il pin SET viene portato subito alto tramite il partitore R136-R139;
- il pin RESET viene mantenuto basso per un certo tempo e poi viene portato alto. Il tempo per cui resta basso è dettato dalla costante di tempo $\tau (=R_{tot} \cdot C62)$, poi viene portato a livello alto mediante il partitore R135-R137.

Così facendo si è sicuri che all'accensione si viene ad avere un RESET hardware corrispondente ad un comando di apertura per gli switches di quadrante. Ovviamente ciò accade su tutti gli switches di quadrante.

Controllare tutti gli integrati presenti sulla linea prima che si facciano generare i 2V0 agli LDO, permette di sfruttare la funzione soft-start integrata nei regolatori stessi. Questo fa sì non solo di controllare quale quadranti alimentare ma fa anche sì che sulla linea non si generino correnti di inrush tali da essere rilevate come condizioni di OC.

A questo punto si può delineare una procedura di accensione/controllo per la linea 2V0:

1. si comanda l'apertura degli switches sui due rami contenenti gli LDOs in parallelo,
2. si alimenta la sezione 5V_IC_supply per controllare gli switches di linea e di quadrante,
3. si inviano i comandi di chiusura agli switches dei quadranti che si vogliono alimentare,

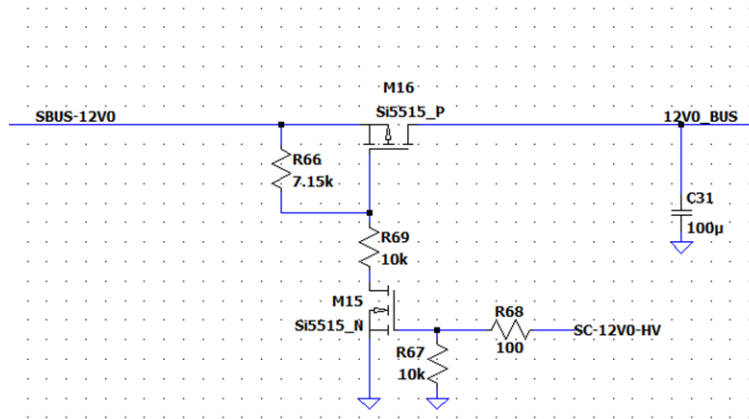
4. si comanda la chiusura degli switches sui due rami paralleli per alimentare la linea e i quadranti abilitati con i 2V0.

12V0

Come detto in precedenza con questa linea si genera la HV che va a polarizzare il fotorivelatore SDD.

Come per le linee viste fin ora la PDHU controlla la chiusura dello switch di BUS ma è la BEE, tramite lo switch di linea, a fornire i 12V0 all'ingresso del DC-DC [7]. I due switch hanno due strutture differenti: il primo viene controllato a livelli logici mentre il secondo viene controllato tramite impulsi perché ha una rete di latch che ne mantiene la chiusura.

Di seguito si descriveranno le strutture dei due switches.

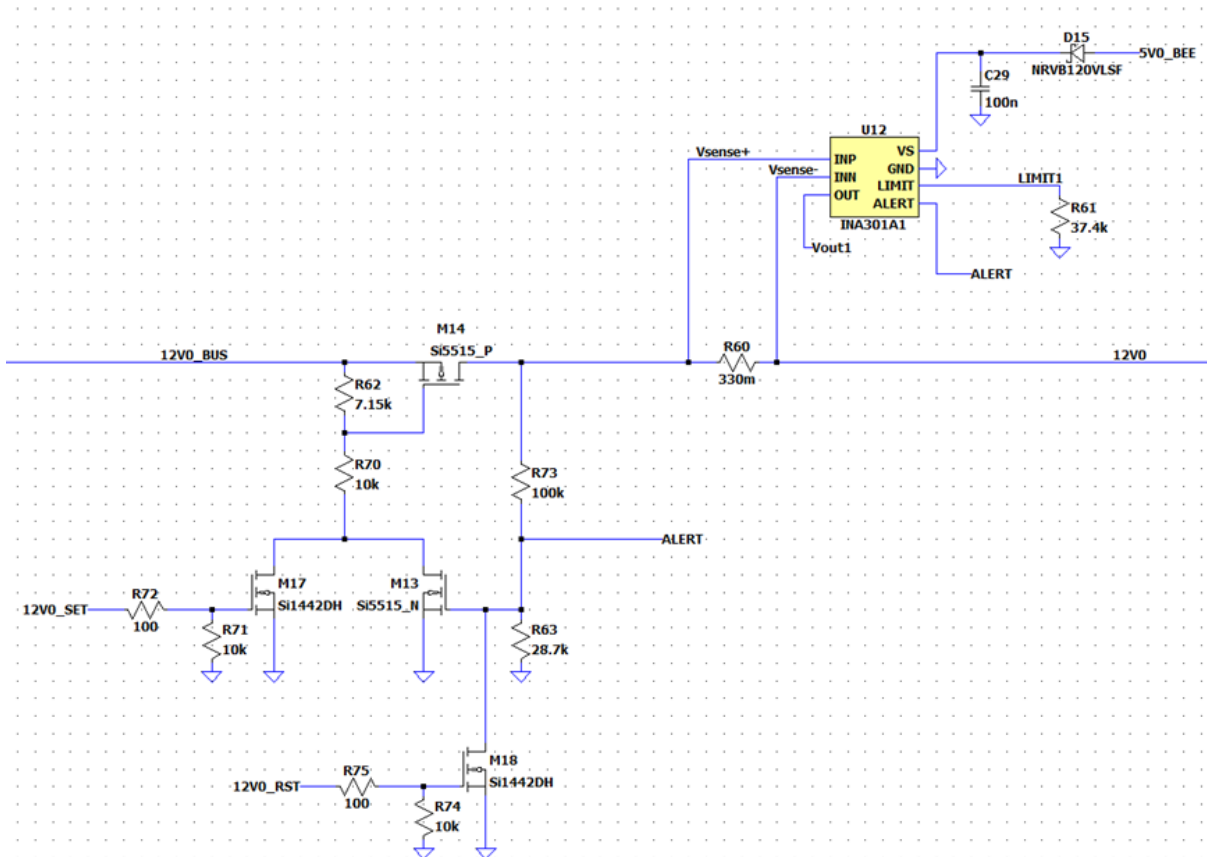


Questo è il circuito implementato per lo switch di BUS controllato dalla PDHU in cui la logica è analoga alle altre linee controllate viste fin ora.

Se il pin *SC-12V0-HV* è tenuto a livello logico basso, o rilasciato, M15 (MOS-n) non condurrà, conseguentemente il gate di M16 (MOS-p) sarà mantenuto allo stato logico alto tramite R66 e quindi non entrerà in conduzione: il resto della rete a valle di M16 non viene alimentato.

Se il pin *SC-12V0-HV* viene mantenuto alto farà entrare in conduzione M15 portando ad un livello prossimo a GND il terminale di R69. Tramite il partitore R66-R69 si polarizza M16 in modo da farlo entrare in conduzione permettendo di alimentare la rete a valle.

Di seguito si riporta lo switch di linea e la rete di Over Current Sensing:



Si supponga che inizialmente sia tutto disalimentato.

Non appena la PDHU chiude lo switch di BUS si avranno i 12V presenti alla sezione 12V0_BUS. M14 non entrerà in conduzione perché il suo gate è mantenuto a livello logico alto da R62 ed inoltre né M17 né M13 sono in conduzione.

Per far condurre M14 la BEE dovrà inviare un impulso al gate di M17 tramite il pin 12V0_SET, la durata dell'impulso deve essere tale da far entrare in conduzione M13. Infatti non appena si invia un impulso al pin 12V0_SET, M17 entrerà in conduzione portando ad un livello prossimo a GND il terminale di R70. Tramite il partitore R62-R70 si polarizza M14 in modo da farlo entrare in conduzione permettendo di alimentare la rete a valle.

Non appena si hanno i 12V a valle, tramite il partitore R73-R63 si implementa il latch dello switch che porta in conduzione M13. Il latch fa sì che M13 si mantenga in conduzione finché non se ne comanda l'apertura.

Per riaprire lo switch di linea si deve inviare un impulso al pin 12V_RST per far condurre M18 e portare a livello basso il gate di M13 per interdirlo. Se M13 viene interdetto il terminale di R70 non è più prossimo a GND ed inoltre si induce in interdizione anche M14 tramite il resistore R62.

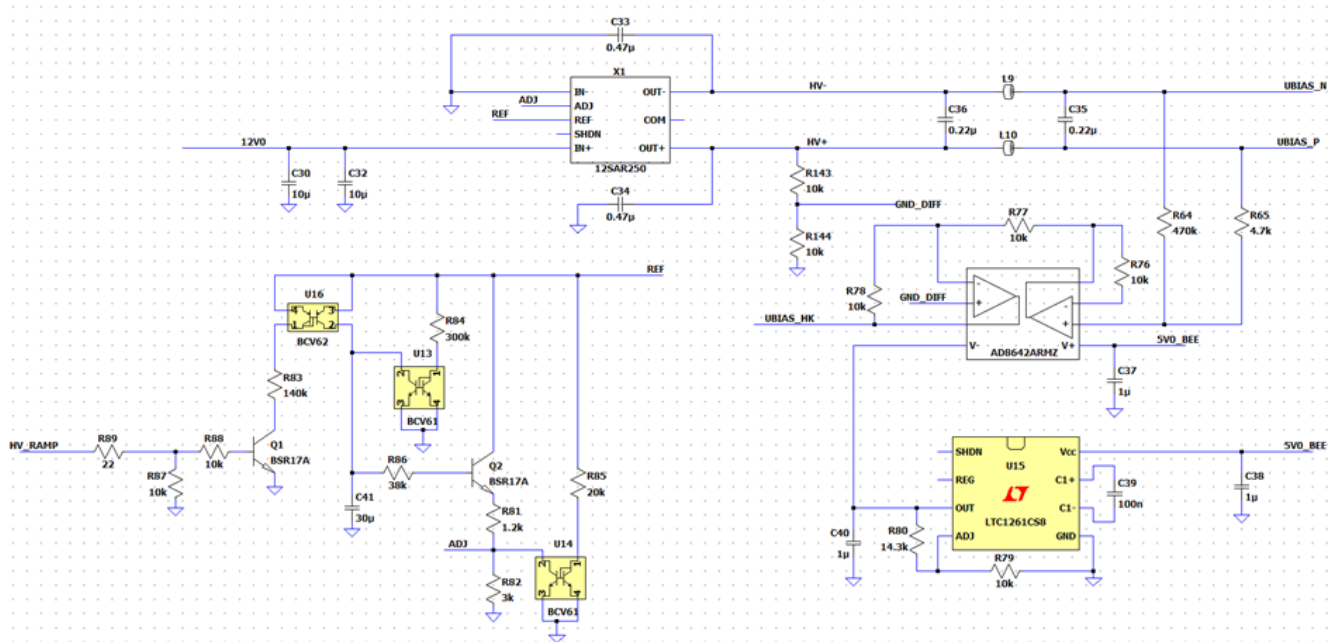
Un altro modo per interdire M13 è la rivelazione di una condizione di OC da parte dell'INA301-Q1 del blocco Over Current Sensing che porterà basso il pin ALERT: gate di M13.

Si evidenzia il fatto che connettendo sia il pin ALERT sia il drain di M18 al gate di M13, questo nodo costituisce il blocco OR riportato nello schema a blocchi.

Si deve adottare un accorgimento in fase di accensione della linea 12V0, ossia va fornita l'alimentazione all'INA301-Q1 dopo che si è chiuso lo switch di linea. Questo perché se la 5V0_BEE è già presente alla chiusura dello switch sui 12V0 si rischia che le correnti di inrush vengano rilevate come condizioni di OC.

A valle della R_{sense} si ha il DC-DC con cui si genera la HV ma non basta fornire i 12V per far generare automaticamente la HV, la BEE deve inviare il comando di generazione della rampa mediante il pin HV_RAMP.

Di seguito si riporta il circuito implementato per la generazione della HV:



Il circuito implementato può essere diviso in tre sezioni:

1. Nella parte alta dello schema sono riportati i collegamenti relativi al DC-DC,
2. In basso a sinistra è riportato il circuito a componenti discreti per la generazione della rampa HV,
3. In basso a destra è riportato il circuito per il feedback di monitor della HV.

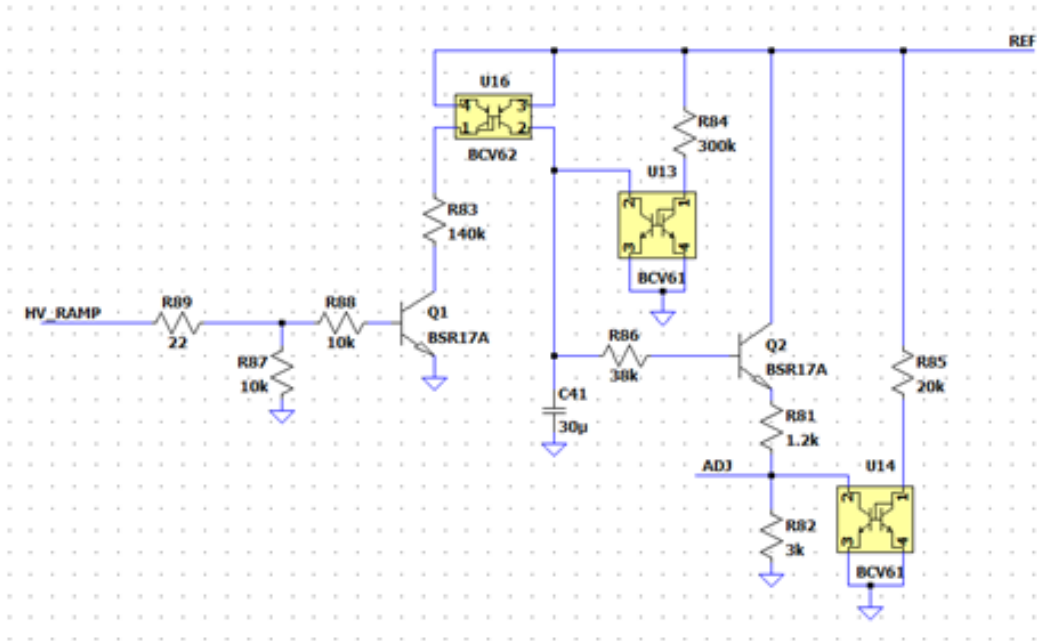
Oltre a queste tre sezioni ce n'è una quarta costituita dagli switches di quadrante HV e dalla relativa rete di controllo ed alimentazione.

Per capire la logica di funzionamento delle prime due sezioni basta sapere che nel DC-DC giocano un ruolo fondamentale il pin *REF* ed il pin *ADJ*.

Al pin *REF* si ha una tensione di riferimento pari a 3V mentre ed al pin *ADJ* va fissata una tensione per ottenere il valore HV desiderato. Per altri dettagli sul funzionamento del DC-DC si rimanda al datasheet [7]. Di seguito si descrivono solo le restanti sezioni.

Circuito per la generazione della rampa

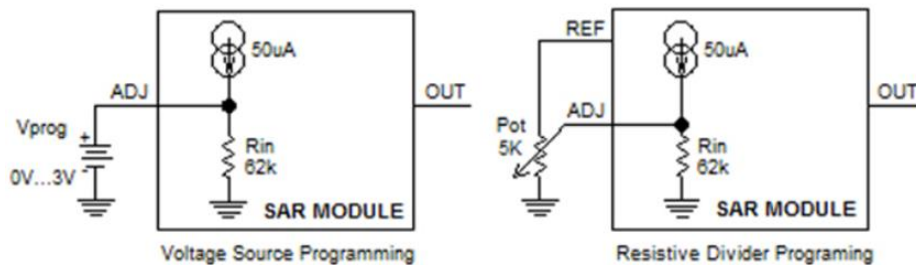
Di seguito si riporta la sezione con cui si genera la rampa:



Si suppone inizialmente che il pin *HV_RAMP* sia a livello logico basso e che il DC-DC sia già alimentato, ossia al pin *REF* ci siano i 3V.

Essendo Q1 in interdizione si avranno attivi i due specchi di corrente U13 ed U14 le cui correnti di sink sono fissate rispettivamente dai resistori R84 ed R85.

Di seguito si riporta lo schema interno del pin *ADJ* per capire meglio come effettuare la regolazione della tensione d'uscita e capire la funzione di U14:



Si vede la corrente di sink di U14 serve a drenare la corrente del generatore di corrente integrato nel DC-DC al fine di mantenere quanto più basso possibile la tensione al pin *ADJ* quando non si comanda il pin *HV_RAMP*. Questo perché con 0V al pin *ADJ* corrispondono 0V in uscita al DC-DC e 3V al pin *ADJ* corrispondono alla massima tensione ottenibile dal DC-DC in uscita.

Quando la BEE porta alto il pin *HV_RAMP*, Q1 entra in conduzione e si inizia a caricare il condensatore C41 mediante U16: C41 si caricherà a corrente costante.

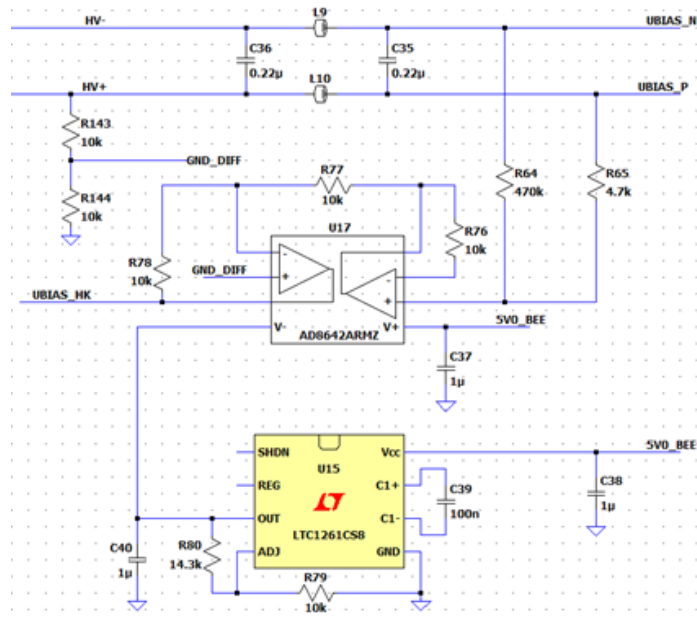
Facendo crescere linearmente la tensione ai capi di C41, si farà aumentare linearmente anche la tensione all'emettitore di Q2. Così facendo la tensione al pin *ADJ* crescerà linearmente ed all'uscita del DC-DC si genererà una rampa che si assesterà al valore settato dal partitore R81-R82: circa 120V.

Con i valori riportati nello schema si sono ottenuti tempi di carica/scarica di circa 7s.

Come si vede il circuito in questione viene alimentato dal DC-DC ma viene controllato dalla BEE tramite comandi a livelli logici. Questa soluzione è stata pensata così affinché, per la HV, si generi automaticamente la rampa di discesa nel caso dovesse venire meno il controllo da parte della BEE. Si evitano così condizioni dannose per il fotorivelatore SDD in assenza di controllo.

Circuito per il feedback della HV

Di seguito si riporta la sezione con cui si genera il feedback di monitor della HV:

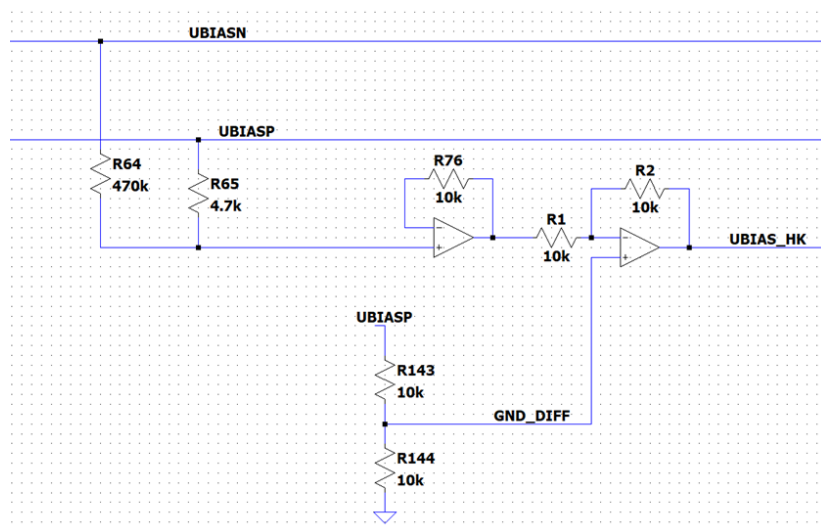


Il partitore R64-R65 serve a scalare il valore sulla linea HV in modo che tale valore vari entro il range di funzionamento di U17. Con la rete costituita da L9, L10, C36 e C35 si implementa un filtro per avere una HV quanto più pulita possibile.

La HV di polarizzazione del fotorelevatore SDD è negativa, quindi si deve considerare che sulla linea sono presenti -120V.

Essendo la tensione negativa, ed essendo presenti sui BUS solo tensioni positive, per ottenere il feedback serve generare una tensione negativa mediante U15 [10]. Questa tensione serve a fornire l'alimentazione negativa ad U17.

Di seguito si riporta, in modo più lineare, il circuito implementato con U17:



Con il primo operazionale si bufferizza il valore della HV partizionato da R64 e R65.

Con il secondo operazionale si effettua invece la differenza tra il segnale bufferizzato ed un livello di tensione dovuto ad eventuali differenze di potenziale tra UBIASP (=GND_HV) e GND.

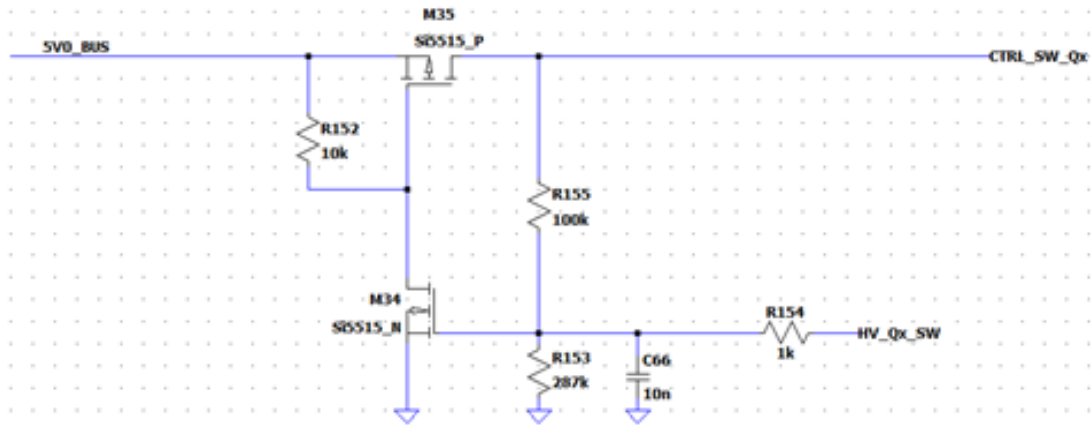
Così facendo all'uscita di U17 si ottiene una tensione positiva riferita al GND della PSU e corrispondente al valore della HV.

Dallo schema si vede che entrambi gli integrati vengono alimentati dalla 5V0_BEE. Questo fa capire che se si dovesse spegnere la 5V0_BEE si perde l'informazione relativa al monitor della HV ed al monitor della 12V0 ma non si altera il funzionamento della rete HV. Sarà quindi compito della BEE provvedere ad implementare la procedura di spegnimento della HV ($HV_RAMP=0$)

Switches di quadrante HV e relativa rete di controllo/alimentazione

Anche la HV generata viene fornita a quattro quadranti indipendenti, quindi a valle della rete vista fin ora si hanno i quattro switches di quadrante HV pilotati da un segnale LV (Low Voltage).

Di seguito si riporta la rete implementata per il controllo dello switch relativo alla generica linea HV indicata con la label Qx:

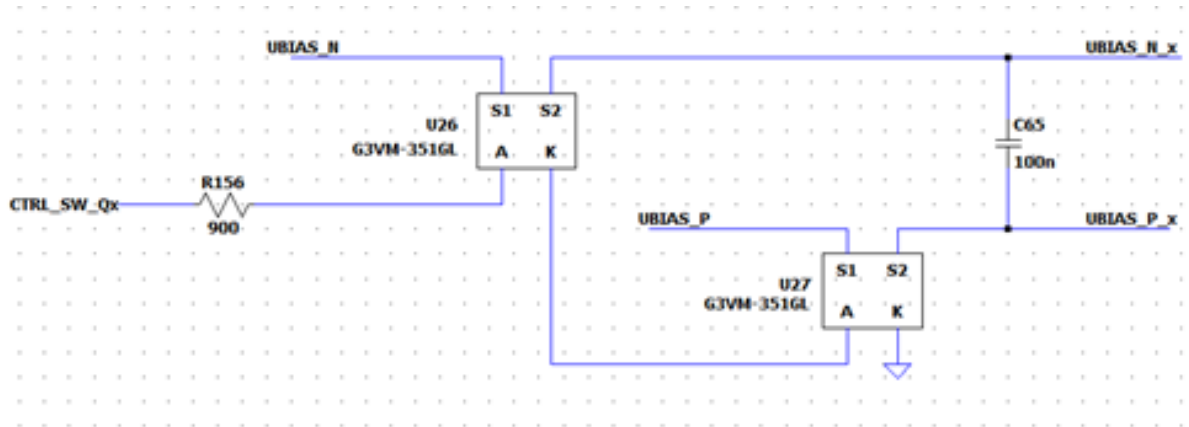


Questa è una struttura ormai nota per cui non si darà la spiegazione sulla logica di funzionamento; l'unica cosa che si fa notare è l'implementazione della funzione latch mediante il partitore R155-R153. La funzione latch è stata implementata per mantenere lo stato dello switch (chiuso/aperto) anche in assenza del controllo della BEE, questo permette ad esempio di far estinguere la rampa di discesa della HV sul quadrante alimentato anche in assenza della BEE.

Questo switch LV viene pilotato con degli impulsi dalla BEE (dal pin HV_Qx_SW) ma genera il comando per lo switch HV dai 5V0_BUS. Quindi per poter controllare gli switches HV deve essere chiuso il 5V0_main_sw.

Si rammenta che con la notazione Qx ci si riferisce ad uno dei quadranti A, B, C, D.

Con il segnale $CTRL_Qx_SW$ si pilotano gli switches HV relativi alla linea $UBIAS_N_x$ ed alla linea $UBIAS_P_x$, di seguito si riporta il lo schema implementato:



Come si vede con il segnale di controllo si pilotano entrambi gli switches HV [11] [12].

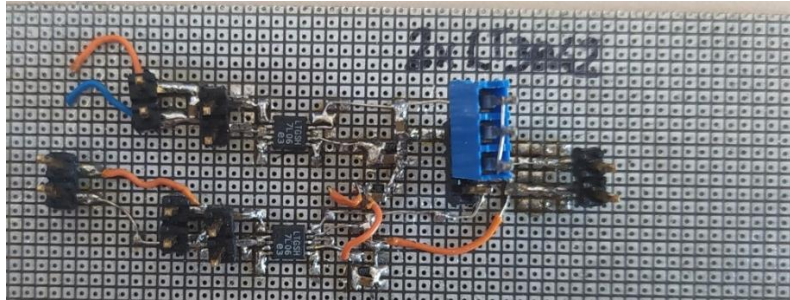
Da quanto visto fin ora per il funzionamento della HV si è cercato di limitare l'impiego di circuiti integrati nelle varie sezioni in modo da evitare malfunzionamenti dovuti ad eventuali condizioni di OC.

Capitolo 3: Realizzazione schede e test di funzionamento

Le reti descritte fin ora sono il frutto di svariati test fatti sui singoli blocchi che costituiscono l'intera linea. Di seguito si descriveranno prima i test relativi la linea dei 2V0 e poi i test relativi la linea dei 12V0 ed alla sezione HV.

2V0

La prima cosa che si è verificata è stata la connessione di due LDOs in parallelo per valutarne le performance. Di seguito si riporta la board realizzata per il test:



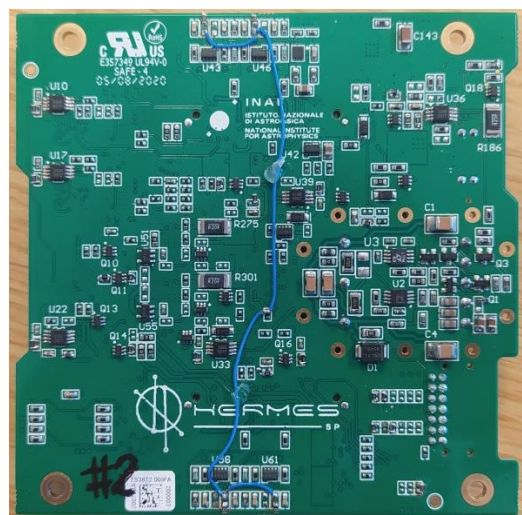
Con questa board si è potuto verificare il funzionamento del singolo LDO e successivamente si è verificato il funzionamento dei due rami in parallelo con un carico nominale.

Successivamente si è implementato il circuito dello switch contenuto nel singolo ramo e se ne è verificato il funzionamento. Poi si sono integrati i due circuiti e si sono verificate le performance della sezione a due rami nelle varie condizioni di lavoro: aprendo alternativamente gli switches per valutare come varia la tensione sul carico.

Si è visto che l'errore sulla tensione d'uscita è imputabile al diverso valore ottenuto in uscita al singolo LDO, questo è dovuto al fatto che essendo differenti le R_{SET} si ottengono valori leggermente diversi. L'errore è comunque contenuto ed è $\approx 2mV$.

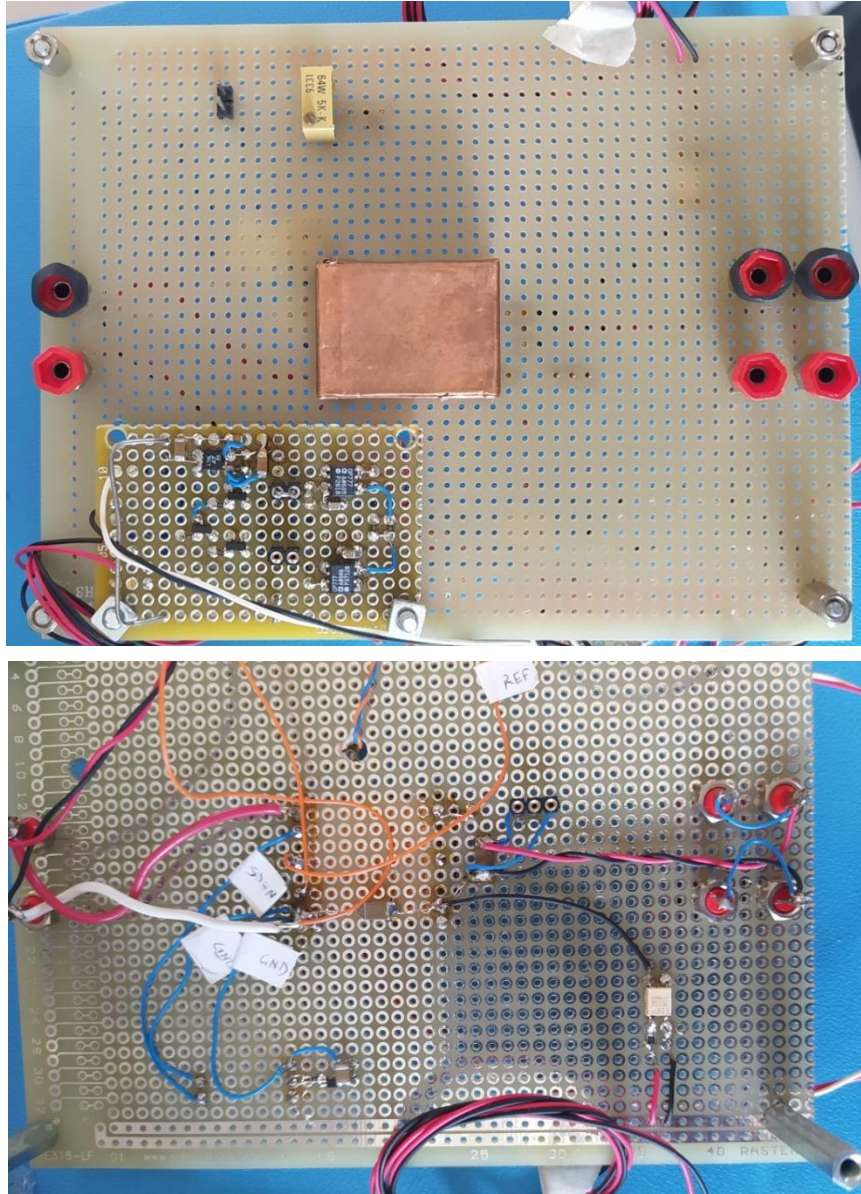
Successivamente si è implementato il circuito dello switch che permette di alimentare la sezione 5V_IC_supply e il relativo monitor. Le condizioni di OC sono state indotte sempre inserendo, in corrispondenza della pressione di un tasto, un carico in parallelo al carico nominale [1].

Gli switch integrati ed i FF si sono testati sul PCB prototipale della PSU. Inizialmente i comandi di chiusura/apertura sono stati inviati tramite fili saldati direttamente sui componenti, poi quando è stato sviluppato un firmware (F\W) ad hoc si sono potuti inviare i comandi tramite BEE. Successivamente si sono integrate sempre più funzionalità nel F\W per poter implementare correttamente il controllo dell'intera linea. Di seguito si riportano il fronte ed il retro della PSU board:



12V0

Prima di iniziare ad implementare i vari circuiti di questa sezione si è preso dimestichezza con il DC-DC. Si è quindi realizzata una board prototipale su cui è stato anche testato uno switch HV. Di seguito si riporta la board realizzata:



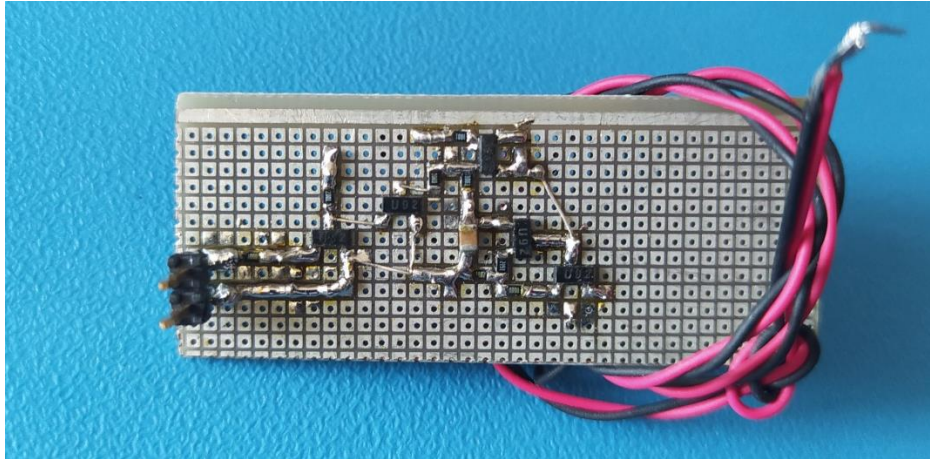
Nella prima immagine si è riportato il top della board in cui si può vedere il DC-DC coperto da una schermatura. Infatti si sono effettuate anche delle misure di rumore per vedere quanto fosse rumoroso il DC-DC dal punto di vista elettromagnetico.

Il potenziometro in alto a sinistra si è inizialmente utilizzato per poter regolare il valore di HV da ottenere.

Nella seconda immagine è riportato il bottom in cui è visibile lo switch HV [12] in basso a destra, la coppia di fili rosso-nero serve per il controllo.

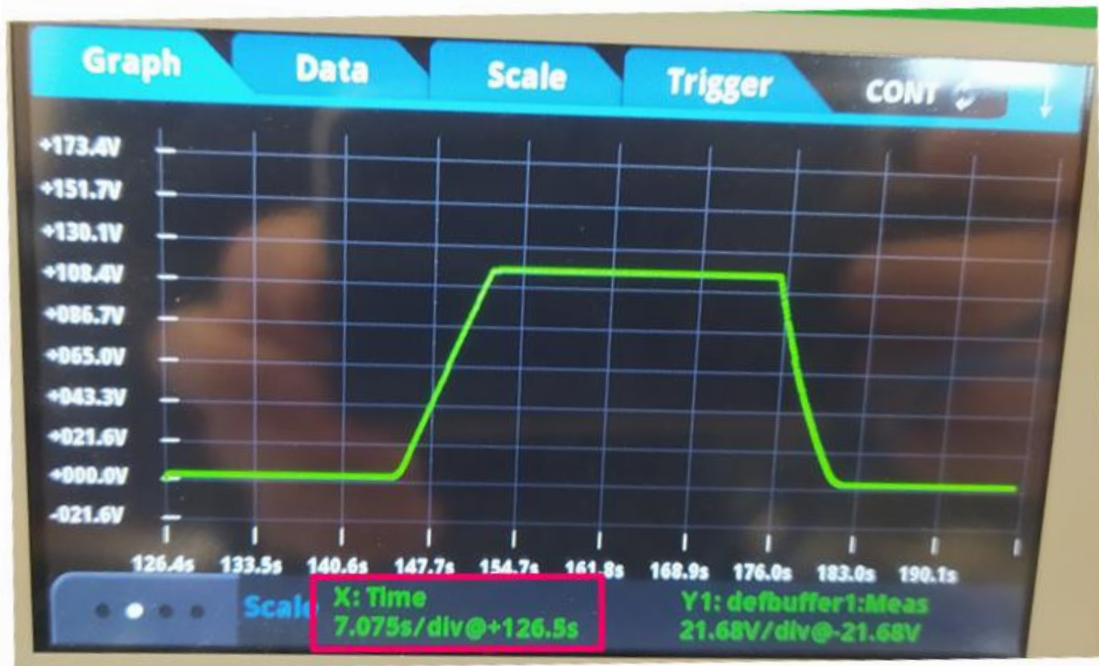
Con il DC-DC si sono anche effettuate delle misure entro il range di temperatura di funzionamento riportato su datasheet: per la precisione nel range $[-20\div 70]^{\circ}\text{C}$.

Una volta caratterizzato il DC-DC si è passati alla implementazione e verifica del circuito per la generazione della rampa HV. Di seguito si riporta la board realizzata:

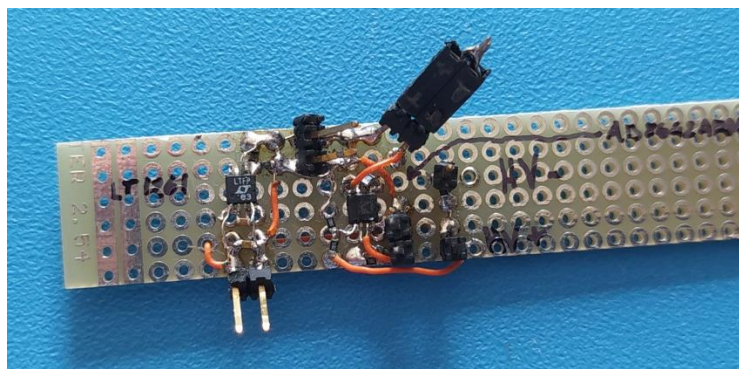


Questa board è stata inizialmente testata da sola e poi si è integrata con quella del DC-DC permettendo di verificare la corretta generazione della HV.

Di seguito si riporta l'andamento del ramp-up e ramp-down della HV ottenuti:



Una volta che si sono verificate sia le durate del ramp-up/down ed il valore HV ottenuto si è implementato il circuito per ottenere il feedback, di seguito si riporta la board realizzata per i test:



Con questa board si è prima verificato il funzionamento desiderato dal singolo circuito integrato, poi si sono effettuate le connessioni riportate nello schema elettrico.

Una volta verificato il funzionamento dell'intera rete di feedback si sono connesse questa board e quella contenente il DC-DC per vedere che effettivamente tutto rispettasse il funzionamento desiderato.

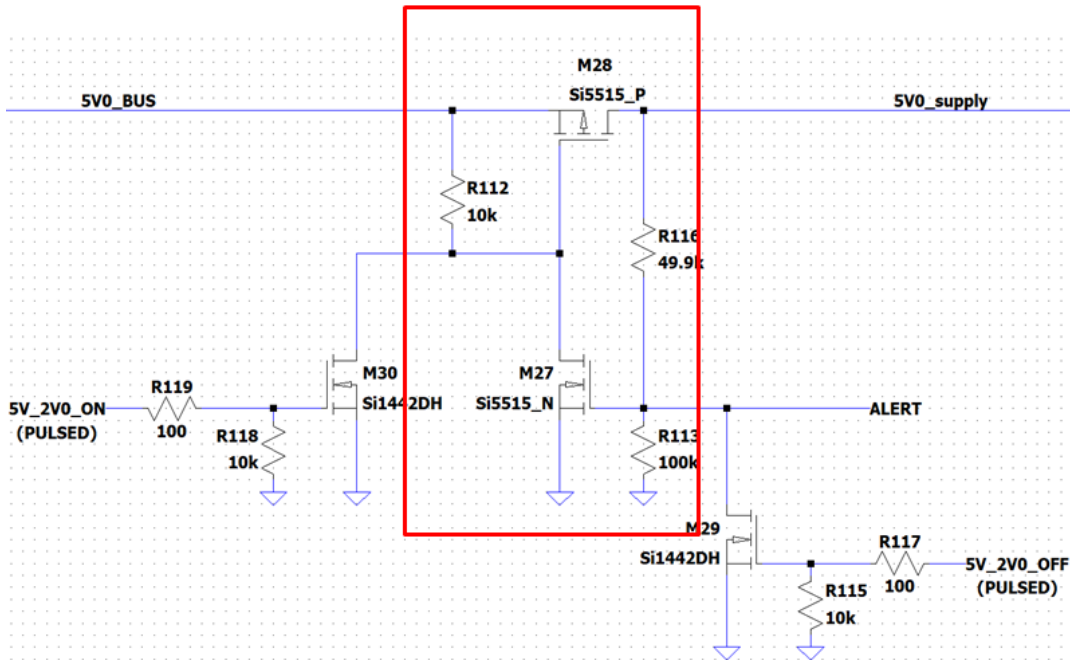
I test sono stati ripetuti sulla board della PSU in cui è stato possibile verificare anche la corretta acquisizione dei segnali di HK relativi alle varie linee descritte fin ora nei report [2] [3]. Con la board della PSU si sono verificate anche tutte le azioni che la BEE deve attuare al fine di proteggere l'elettronica che è interessata dalle condizioni di OC.

Capitolo 4: Conclusioni

Gli andamenti ottenuti dai test effettuati hanno rispecchiato le aspettative ma gli imprevisti che si sono presentati sono stati parecchi.

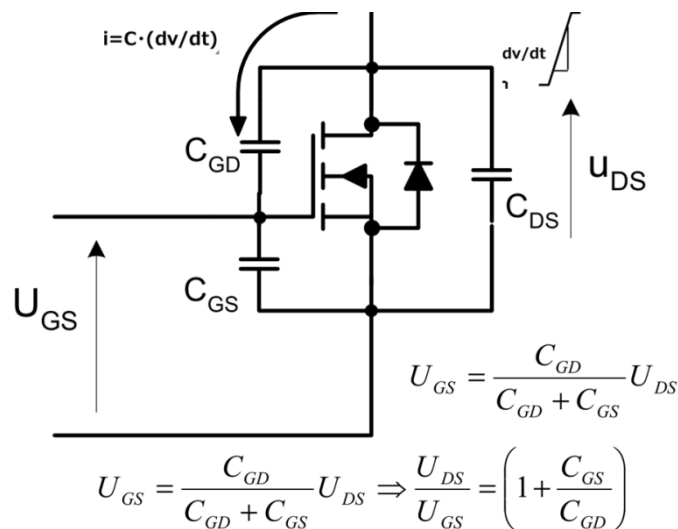
Tra i tanti quello che ha causato più problemi è stato dovuto alle capacità parassite nella struttura implementata per gli switches con funzione latch: in particolare del MOS-p e del MOS-n.

Per semplicità si riporta la parte del circuito interessata:



Si ribadisce che il problema è imputabile alla struttura implementata e non alla linea specifica linea. Si farà riferimento comunque alla sezione 5V_IC_supply perché è stata la prima linea in cui si è risolto il problema.

Si supponga che inizialmente sia tutto spento, non appena si fornisce la tensione di linea (5V0_BUS in questo caso) il $\frac{dV}{dt}$ farà scorrere una corrente nelle capacità parassite dei MOS come illustrato di seguito:



Tale corrente fa sì che si ha una breve conduzione del MOS-n (M27) che induce anche la conduzione temporanea del MOS-p. Se la tensione al gate del MOS-n in tale intervallo è tale da superare la tensione di soglia, $V_{GS(th)}$, allora si autososterrà la conduzione del MOS-n e conseguentemente di tutto lo switch.

Dalla immagine in cui sono riportate le capacità parassite si può vedere come però si può ridurre questo fenomeno: ossia aumentare il rapporto C_{GS}/C_{GD} . Si è quindi provveduto a mettere un condensatore di $2\mu F$ in parallelo al resistore di pull-down a discapito del T_{ON} dell'impulso di accensione che dovrà essere maggiore.

Un altro problema è imputabile al controllo dei quadranti delle varie linee, soprattutto quando si doveva ancora definire una procedura d'accensione. Questo problema si è avuto perché prima si sono verificati i funzionamenti dei singoli blocchi nelle varie linee, poi quando si doveva controllare l'intera linea si sono sottovalutati alcuni aspetti: uno tra tutti le (notevoli) capacità di quadrante scariche. Una volta chiusi gli switches di linea, in corrispondenza del comando di chiusura del quadrante (o dei quadranti), queste capacità per caricarsi facevano scorrere una corrente superiore alla soglia settata facendo così intervenire gli *INA301-Q1* di linea.

Il verificarsi di questo problema ha permesso di mettere a punto una procedura di accensione affidabile che non inducesse la BEE a gestire false condizioni di OC. Tale procedura consiste nel controllare prima gli switches di quadrante, comandandone la chiusura ad esempio, e poi far generare la tensione di linea tramite il *soft-start*. Così facendo si fanno caricare le capacità di carico evitando che gli *INA301-Q1* rivelino una condizione di OC.

Bibliografia

- [1] G. S. Paolo Nogara, «Relazione tecnica sulla PSU board (Power Supply Unit) del CubeSat HERMES (High Energy Rapid Modular Ensemble of Satellites): Struttura e circuito implementato per la generica linea di alimentazione sulla PSU,» Open Access INAF, 2022.
- [2] G. S. Paolo Nogara, «Relazione tecnica sulla PSU board (Power Supply Unit) del CubeSat HERMES (High Energy Rapid Modular Ensemble of Satellites): Struttura e circuito implementato per le linee di alimentazione della BEE.,» Open Acces INAF, 2022.
- [3] G. S. Paolo Nogara, «Relazione tecnica sulla PSU board (Power Supply Unit) del CubeSat HERMES (High Energy Rapid Modular Ensemble of Satellites): Struttura e circuito implementato per le linee di alimentazione della FEE.,» Open Access INAF, 2022.
- [4] D. Incorporated, «DML1010FDK (Discrete - Load Switches),» DIODES Incorporated, [Online]. Available: <https://www.diodes.com/part/view/DML1010FDK/>.
- [5] Nexperia, «74HCT74PW - Dual D-type flip-flop with set and reset; positive edge-trigger,» Nexperia, [Online]. Available: <https://www.nexperia.com/products/analog-logic-ics/synchronous-interface-logic/flip-flops/d-type-flip-flops/74HCT74PW.html>.
- [6] T. Instrument, «INA301-Q1 data sheet, product information and support,» Texas Instrument, [Online]. Available: <https://www.ti.com/product/INA301-Q1>.
- [7] P. Electronics, «SERIES SAR | Pico,» Pico Electronics, [Online]. Available: <https://www.picoelectronics.com/node/69108>.
- [8] E. Petersen, «The SEU figure of merit and proton upset rate calculations,» *IEEE Transactions on Nuclear*

Science, vol. Volume: 45, n. 6, pp. 2550 - 2562, December 1998.

- [9] A. Devices, «LT3042 Datasheet and Product Info,» Analog Devices, [Online]. Available: <https://www.analog.com/en/products/lt3042.html>.

- [10] A. Devices, «LTC1261 Datasheet and Product Info,» Analog Devices, [Online]. Available: <https://www.analog.com/en/products/ltc1261.html>.

- [11] OMRON, «G3VM-L/FL/GL MOS FET Relays Current-limiting Type,» OMRON, [Online]. Available: <https://components.omron.com/eu-en/products/relays/G3VM--L--FL--GL>.

- [12] OMRON, «G3VM-351GL MOSFET Relay,» OMRON, [Online]. Available: https://omronfs.omron.com/en_US/ecb/products/pdf/en-g3vm_351gl.pdf.