Rapporti Tecnici INAF
INAF Technical Reports

Number	168
Publication Year	2022
Acceptance in OA@INAF	2022-07-05T15:07:52Z
Title	Relazione tecnica sulla PSU board (Power Supply Unit) del CubeSat HERMES (High Energy Rapid Modular Ensemble of Satellites): Struttura e circuito implementato per la generica linea di alimentazione sulla PSU.
Authors	NOGARA, PAOLO; SOTTILE, Giuseppe
Affiliation of first author	IASF Palermo
Handle	http://hdl.handle.net/20.500.12386/32456; https://doi.org/10.20371/INAF/TechRep/168

ISTITUTO NAZIONALE DI ASTROFISICA
ISTITUTO DI ASTROFISICA SPAZIALE E FISICA COSMICA DI PALERMO

Relazione tecnica sulla PSU board (Power Supply Unit) del CubeSat HERMES (High Energy Rapid Modular Ensemble of Satellites): Struttura e circuito implementato per la generica linea di alimentazione sulla PSU.

Descrizione sull'implementazione del controllo della generica linea di alimentazione della PSU board.

Paolo Nogara*, Giuseppe Sottile*

*IASF-INAF di Palermo – Palermo (PA)

Sommario

Prefazione 4
Capitolo 1: Schema a blocchi della generica linea di alimentazione. 5
Capitolo 2: Dallo schema a blocchi allo schemi elettrico 6
Circuito Switch 6
Circuito Over Current Sensing 8
Capitolo 3: Realizzazione schede e test di funzionamento 10
Capitolo 4: Conclusioni 18

Prefazione

Con questo documento si vuole dare una descrizione dettagliata delle scelte progettuali che sono state fatte per la realizzazione del circuito relativo la scheda PSU (Power Supply Unit) dei CubeSat del progetto HERMES.

Di seguito verrà descritta la struttura del seguente documento.

Nel **Capitolo 1** si riporta lo schema a blocchi della generica linea di alimentazione della PSU. Si descriveranno la struttura e le funzionalità delle varie sezioni.

Nel **Capitolo 2** si descrivono gli schemi elettrici con cui si sono implementati i blocchi descritti nel Capitolo 1.

Nel **Capitolo 3** si descrivono le board realizzate, ed i setup implementati, per verificare il funzionamento dei circuiti che costituiscono le varie sezioni dello schema a blocchi della PSU. Si riportano pure gli andamenti e i risultati delle grandezze d'interesse.

Nel **Capitolo 4** si riportano le conclusioni e le osservazioni sui circuiti realizzati ed alle relative acquisizioni.

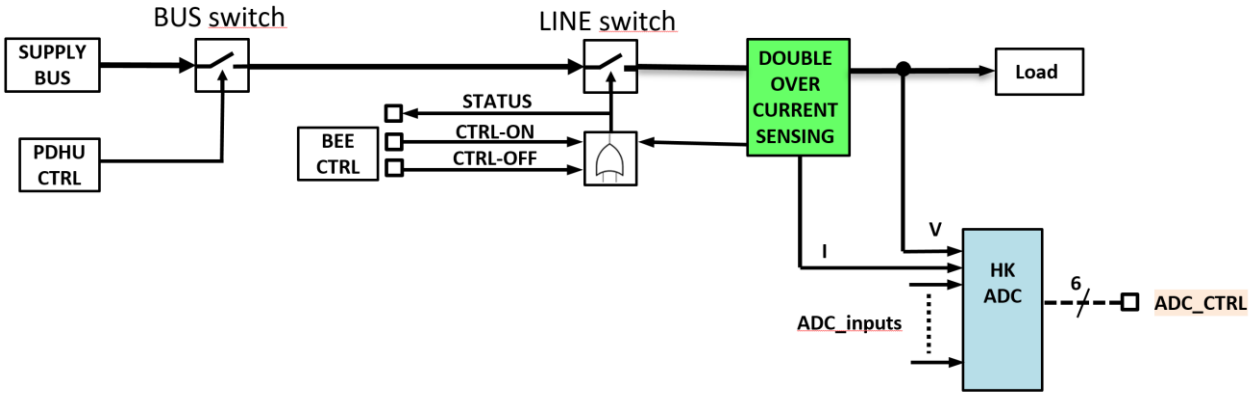
Capitolo 1: Schema a blocchi della generica linea di alimentazione.

La PSU (*Power Supply Unit)* deve fornire le tensioni necessarie al funzionamento del *Payload*. Tali tensioni provengono dal BUS di satellite e devono essere opportunamente fornite alle varie sezioni del *Payload*.

Nello specifico si hanno tre tensioni di BUS:

- 12V0: da questa tensione verrà generata la HV;
- 5V0: da questa tensione si generano le tensioni necessarie per ottenere il feedback della HV, alimentare gli ADC (*Analogue to Digital Converter*) scientifici sulla BEE (*Back-End Electronic*) e per il funzionamento della FEE;
- 3V3: da questa vengono alimentate la BEE e l'ADC per i segnali di *HouseKeeping (HKs).*

La struttura della generica linea può essere riassunta dal seguente schema:



Con ***SUPPLY BUS*** si è indicata la tensione del BUS di satellite da fornire al relativo carico. Questa tensione viene fornita o meno mediante il controllo esercitato dalla PDHU (*Payload Data Handling Unit*) su di uno switch, che abbiamo indicato per semplicità "BUS switch".

Gli switches sonostati implementati con strutture differenti a seconda della specifica linea che si alimenta: con una tipologia di struttura lo switch va controllato con un impulso, nell'altro caso va controllato mantenendo un livello di tensione.

A valle dello switch di BUS si ha un secondo switch, che abbiamo indicato come "LINE switch", controllato dalla BEE e/o dal blocco di *Over Current Sensing.*

Il comando di accensione del LINE switch viene fornito dalla BEE. L'apertura invece può essere comandata sia dalla BEE ma anche dall'*Over Current Sensing* se si verifica una condizione di sovracorrente (OC: *overcurrent*), ossia una condizione critica per il corretto funzionamento del carico. Dal blocco di *Over Current Sensing* si ottiene anche il segnale analogico di HK relativo alla corrente di linea.

Nella maggior parte dei casi il blocco *Over Current Sensing* viene alimentato dalla tensione che deve monitorare ma a valle dello switch di linea (sarà chiaro più avanti nella descrizione dei circuiti).

A monte del carico viene acquisito il segnale di HK relativo alla tensione di linea in modo da poter monitorare la linea e rivelare eventuali malfunzionamenti.

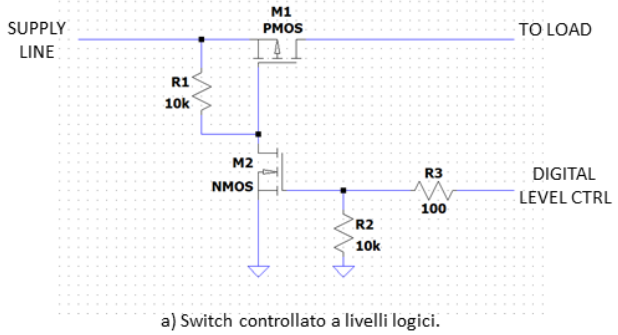
Capitolo 2: Dallo schema a blocchi allo schemi elettrico

Per l'implementazione dei vari schemi a blocchi si è tenuto conto del fatto che la PSU dovrà funzionare in orbita. Ciò ha vincolato fortemente le scelte relative la struttura delle varie sezioni e la scelta dei componenti da utilizzare. Relativamente ai componenti da utilizzare c'è l'ulteriore vincolo dettato dalla scelta di utilizzare componenti commerciali ed a basso costo (COTS: Component Off-The-Shelf), questo ha escluso i corrispettivi componenti Radiation Hardned dai costi decisamente più elevati e dai tempi di approvvigionamento lunghi.

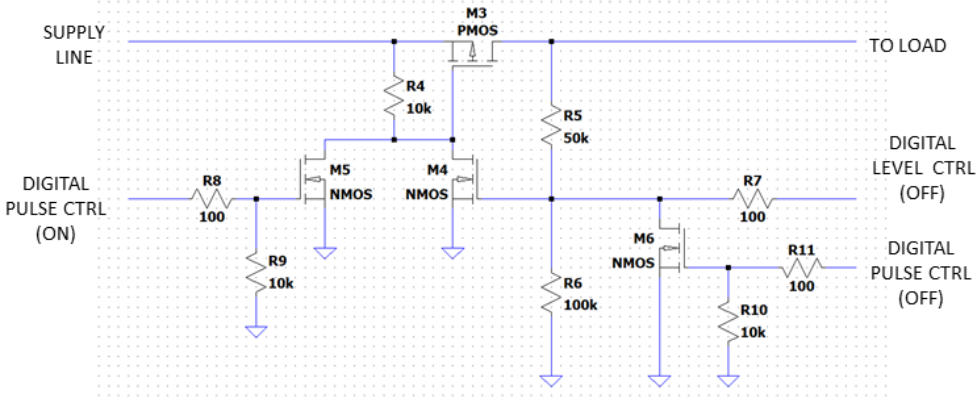
Considerata la struttura della generica linea si descrive adesso la struttura dello switch con cui se ne controlla la chiusura/apertura. Poi si descriveranno gli altri blocchi.

Circuito Switch

Lo switch è stato implementato utilizzando componenti discreti per evitare malfunzionamenti e/o danni dovuti ad eventi di *latch-up*. Di seguito si riportano i circuiti con cui si è implementato lo switch nelle sue due strutture e successivamente verrà descritta la logica di funzionamento:



a) Switch controllato a livelli logici.



b) Switch controllato ad impulsi.

Si considera come condizione iniziale che sia tutto spento ed eventuali capacità siano scariche.

Nella condizione iniziale del circuito *a)*, in assenza della tensione di linea e della tensione di controllo, avremo che M1 (PMOS) non sarà polarizzato da nessuna tensione in quanto M2 (NMOS) sarà mantenuto in interdizione mediante R2 (resistore di pull-down).

Non appena viene fornita la tensione di alimentazione sulla linea di alimentazione, M1 sarà portato in interdizione tramite il resistore R1 (resistore di pull-up). Se il pin di controllo di M2 viene mantenuto a livello logico basso, o lasciato flottante, avremo che lo switch non condurrà.

Se invece il pin di controllo viene portato e mantenuto ad un livello logico alto, M2 entrerà in conduzione. Conducendo M2 porterà bassa anche la tensione al gate di M1 che inizierà a condurre.

In questo modo il carico verrà alimentato dalla tensione di linea fintantoché il pin di controllo di M2 viene mantenuto allo stato logico alto.

Di seguito si riporta la logica di funzionamento di questa struttura in una tabella riassuntiva:

Supply Line	**LEVEL CTRL**	**LOAD VOLTAGE**
LOW	LOW (or floating)	LOW
HIGH	LOW (or floating)	LOW
	HIGH	HIGH

Per quanto riguarda il circuito *b)* avremo che le linee controllate dalla BEE si controlleranno tramite impulsi, ad eccezione di M4 che può essere spento da una linea di controllo pilotata a livelli. Dallo schema a blocchi generale si vede che questa linea di controllo è pilotata dal blocco OR che comanda l'apertura/chiusura in funzione di un segnale proveniente dalla BEE o dal blocco di *Over Current Sensing*. Questa linea, a regime, sarà allo stato logico alto e può essere portata a livello logico basso al verificarsi di una condizione di sovracorrente.

Nella condizione iniziale del circuito *b)*, in assenza della tensione di linea e delle tensioni di controllo, avremo che M3 (MOS-p) non sarà polarizzato da nessuna tensione, mentre M4, M5 ed M6 (MOS-n) saranno mantenuti in interdizione mediante i resistori di pull-down: R9, R6 ed R10.

Non appena viene fornita la tensione di alimentazione sulla linea di alimentazione, M3 sarà portato in interdizione tramite il resistore R4: sia M4 che M5 sono in interdizione. Il circuito di *Over Current Sensing* viene alimentato dalla tensione che deve monitorare quindi non è ancora alimentato e conseguentemente la linea di controllo sarà bassa. In questa condizione se non viene fornito un impulso al gate di M5 il carico non verrà alimentato.

Non appena viene inviato un impulso di ON al gate di M5, per tutta la durata dell'impulso M5 rimarrà in conduzione. Conducendo, M5, porterà bassa la tensione al gate di M3 che inizierà a condurre. Così facendo al drain di M3 sarà presente la tensione di linea che alimenterà il carico.

La tensione di linea a valle di M3 verrà partizionata dai resistori R5 ed R6, i cui valori sono tali da far sì che la tensione partizionata mantenga in conduzione M4; quest'ultimo manterrà a sua volta in conduzione M3 implementando così una funzione *latch*. Si deduce che il T_{ON} dell'impulso di accensione dovrà avere una durata tale da far accendere anche M4.

Il carico continuerà ad essere alimentato finché non verrà inviato un impulso di OFF (al gate di M6) che porterà a livello logico basso il gate di M4, interdicendo quest'ultimo. Andando in interdizione M4 non ci saranno altri componenti che manterranno in conduzione M3 che si interdirà aprendo di fatto la linea e disalimentando il carico.

Altra condizione che può far aprire lo switch è la condizione in cui l'*Over Current Sensing* porta a livello logico basso la tensione al gate di M4, portandolo in interdizione. Come visto sopra andando in interdizione M4, anche M3 si interdirà aprendo di fatto la linea e disalimentando il carico.

Di seguito si riporta la logica di funzionamento di questa struttura in una tabella riassuntiva:

step	**Supply Line**	**PULSE CTRL ON (M5)**	**PULSE CTRL OFF (M6)**	**LEVEL CTRL**	**LOAD VOLTAGE**
1	LOW	OFF	OFF	LOW	LOW
2	HIGH	OFF	OFF	LOW	LOW
3		ON	OFF	HIGH*	HIGH
4		OFF	OFF	HIGH*	HIGH
5		Spegnimento			

5.1		con comando di OFF			
		OFF	ON	LOW*	LOW
5.2		per rilevamento di OC			
		OFF	OFF	LOW**	LOW

*si considera il livello logico a regime.

**il livello logico viene mantenuto dal blocco *Over Current Sensing*.

Nella precedente tabella non si sono descritte tutte le possibili combinazioni di controllo dello switch ma sono state riportate quelle che sortiscono un qualche effetto sull'alimentazione del carico e che seguono una logica di controllo. Inoltre nella colonna *step* è riportato l'ordine in cui si devono generare gli impulsi di ON/OFF per implementare la logica di controllo desiderata.

Si chiarisce meglio la sezione della tabella relativa allo spegnimento dello switch che, come descritto in precedenza, è ottenibile mediante due differenti cause:

- Step 4 → Step 5.1 : spegnimento ottenuto con comando di OFF;
- Step 4 → Step 5.2 : spegnimento ottenuto per rilevamento di OC.

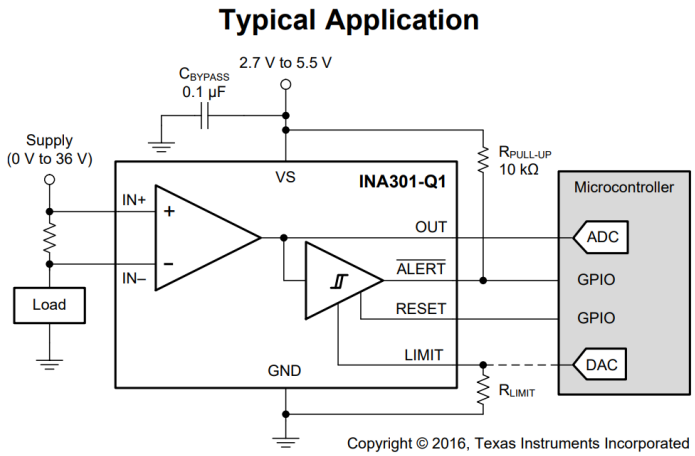
Si sottolinea il fatto che il blocco *OR* riportato nello schema a blocchi generale è stato implementato con il nodo al gate M4 nello schema elettrico dello switch.

Per ridurre le dimensioni della superficie da utilizzare sulla PSU si è scelto di utilizzare il *Si5515CDC* [1], che contiene un MOS-p ed un MOS-n discreti nello stesso package, ed un *Si1442DH* [2], per i MOS-n con cui si implementano i comandi di ON e di OFF: rispettivamente M5 ed M6.

Circuito Over Current Sensing

Per implementare il blocco *Over Current Sensing* si è cercato di utilizzare un integrato che, con il minor numero di componenti esterni, permettesse di ottenere più informazioni e funzionalità possibili. La scelta è ricaduta sull'*INA301-Q1* della *Texas Instruments*. Questo integrato permette di avere un segnale analogico proporzionale alla corrente di linea da monitorare, permette tramite un uscita open-drain (pin ALERT) di avere un flag per segnalare il verificarsi della condizione di OC: ossia superamento di una tensione di soglia settabile mediante un resistore esterno (pin LIMIT). Questo integrato può essere utilizzato in modalità *Latch* o *Transparent* ma per la nostra applicazione verrà utilizzato in modalità latch. Per ulteriori dettagli si veda il datasheet [3].

Di seguito si riporta lo schema funzionale dell'integrato in una generica applicazione:

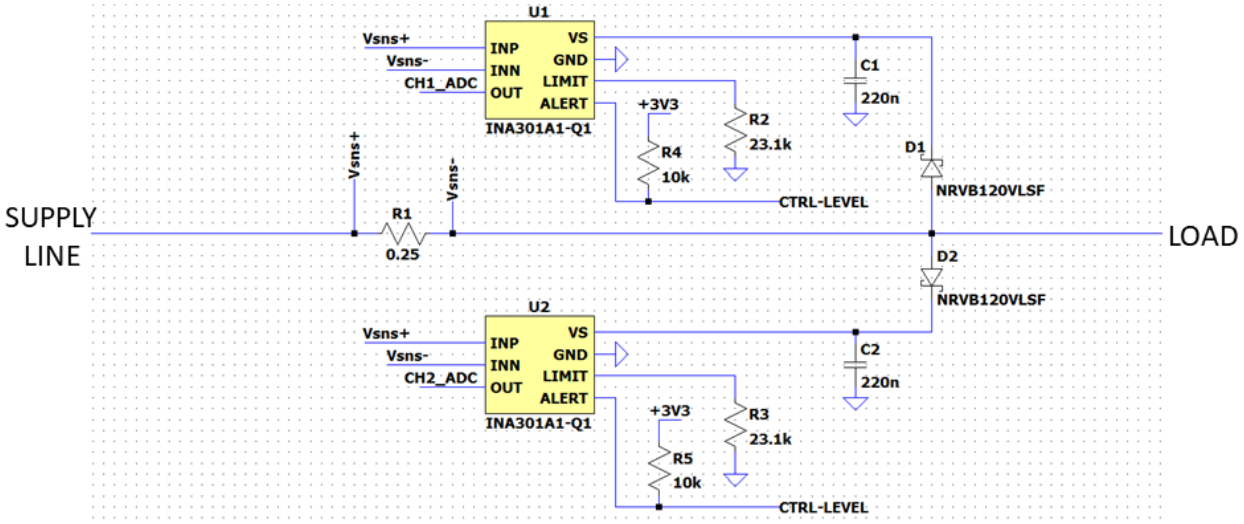


Come si vede dallo schema l'integrato necessita di un ristretto numero di componenti esterni per il suo funzionamento:

- una R_{sense} per monitorare la corrente di linea;
- un resistore R_{LIMIT} per settare la soglia limite, oltre la quale viene segnalata la condizione di OC;
- un resistore di pull-up: il pin ALERT è un'uscita open drain che va bassa se si rivela un OC;
- controllo del pin di RESET ad un livello di tensione alto/basso per far funzionare l'integrato, rispettivamente, in modalità *Latch/Transparent*.

Dato che questo componente è un integrato, in orbita potrebbe essere interessato da latch-up e quindi si potrebbe danneggiare. Prendendo in considerazione che la probabilità del verificarsi di tale evento sia non nulla e che sia altamente improbabile che il latch-up avvenga contemporaneamente su due dispositivi IC (Integrated Circuit) [4], si è pensato ad un utilizzo ridondato dell'integrato. Nello specifico si è pensato di far monitorare la stessa R_{sense} da due *INA301–Q1* ed inoltre si è pensato di alimentare i due integrati a valle della R_{sense}. Così si è fatto in modo che il singolo *INA301-Q1* monitora sia la corrente di carico sia la corrente assorbita dall'altro *INA301-Q1*.

Per rendere più chiaro il circuito implementato di seguito si riporta lo schema:



Dallo schema si vede che i due pin di ALERT sono connessi allo stesso punto (CTRL-LEVEL) al fine di implementare un OR logico, ad esempio al gate del MOS-n che controlla lo switch. Così facendo non appena uno dei due *INA301-Q1* porta basso il proprio pin di ALERT si indurrà l'apertura della linea disalimentando il carico (si riveda il funzionamento dello switch).

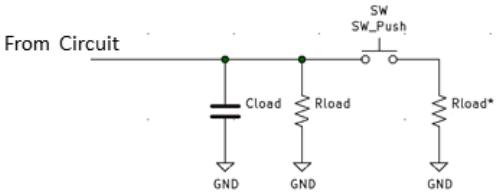
Dallo schema si vede anche che gli *INA301-Q1* vengono alimentati a valle di due diodi Schottky, questo serve a rallentare lo spegnimento dell'integrato nel caso di apertura della linea. I diodi servono anche ad evitare che la carica immagazzinata dai condensatori C1 e C2 contribuisca ad alimentare latch-up qualora si verifichi.

Capitolo 3: Realizzazione schede e test di funzionamento

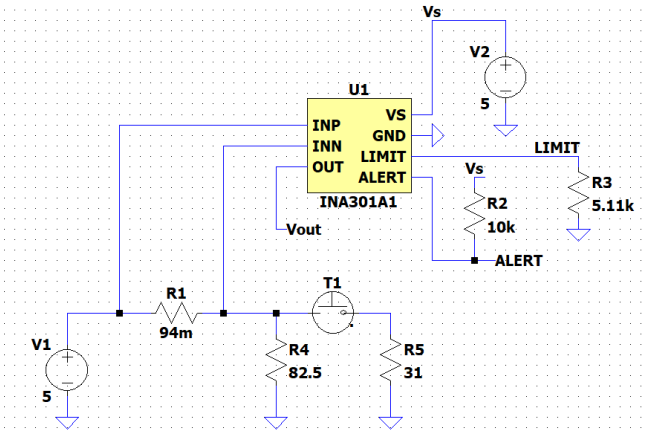
Dei componenti che costituiscono la generica linea si è testato per primo l'*INA301-Q1* al fine di determinare sperimentalmente i tempi d'intervento al variare della capacità di carico.

Per fare ciò si è fissato un carico in modo da avere una corrente di funzionamento nominale ed in funzione di ciò si è fissata una soglia d'intervento. In parallelo al carico fisso si connette un resistore più piccolo tramite un pulsante, così facendo si induce la condizione di OC ($V_{OUT} > V_{LIMIT}$) e l'*INA301-Q1* porterà bassa la linea di ALERT.

Di seguito si riporta il circuito realizzato per indurre la condizione di OC:



Prima di tutto si verifica il funzionamento del circuito, quindi l'integrato si alimenta con una tensione differente da quella che deve monitorare. La struttura del primo circuito implementato è quindi la seguente:

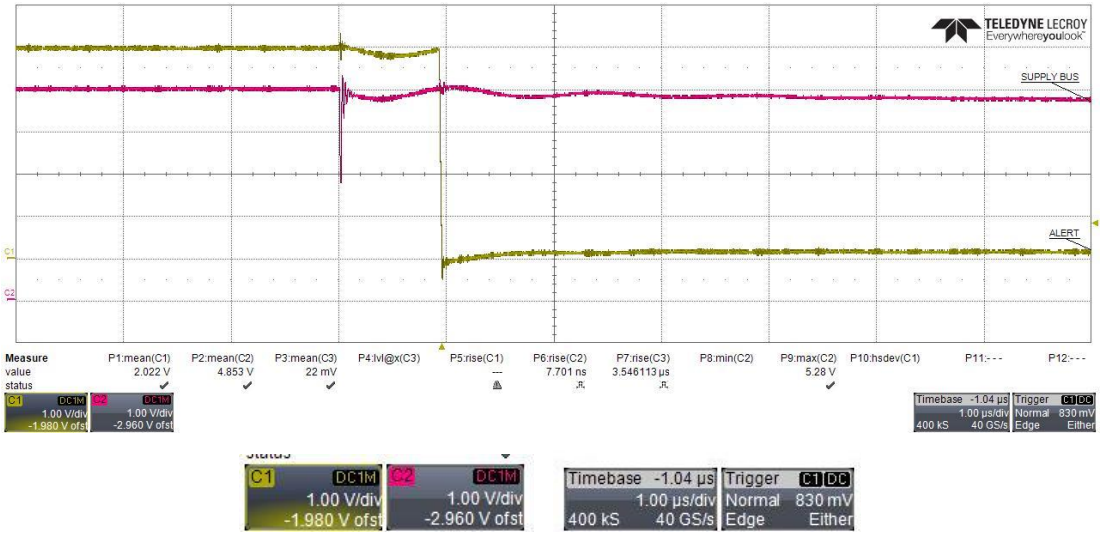


Il modello SPICE prevede solamente la modalità di funzionamento *Transparent* (si veda il datasheet), noi utilizzeremo la modalità *Latch* mantenendo a livello logico alto il pin RESET. Il reset della condizione di OC, ossia riportare alto il pin ALARM, verrà effettuata manualmente.

Con i valori riportati nello schema si sono settati le seguenti grandezze:

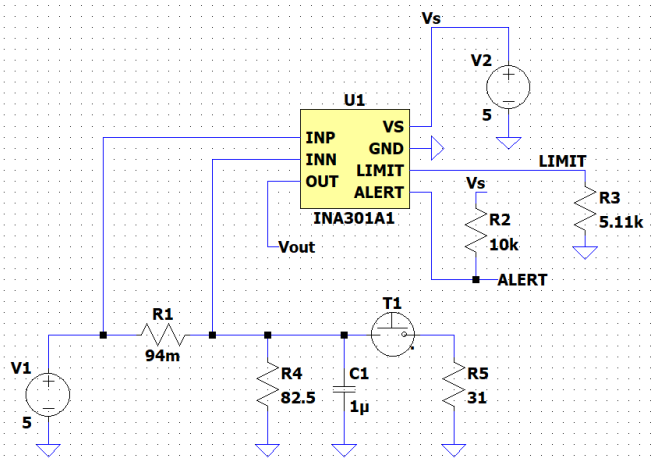
- I_{LOAD} ≈61mA (nominale);
- $I_{INTERVENTO}$ ≈220mA ↔ V_{LIMIT}=408.8mV.

Di seguito si riporta una delle acquisizioni fatte ed il settaggio relativo ai canali dell'oscilloscopio:



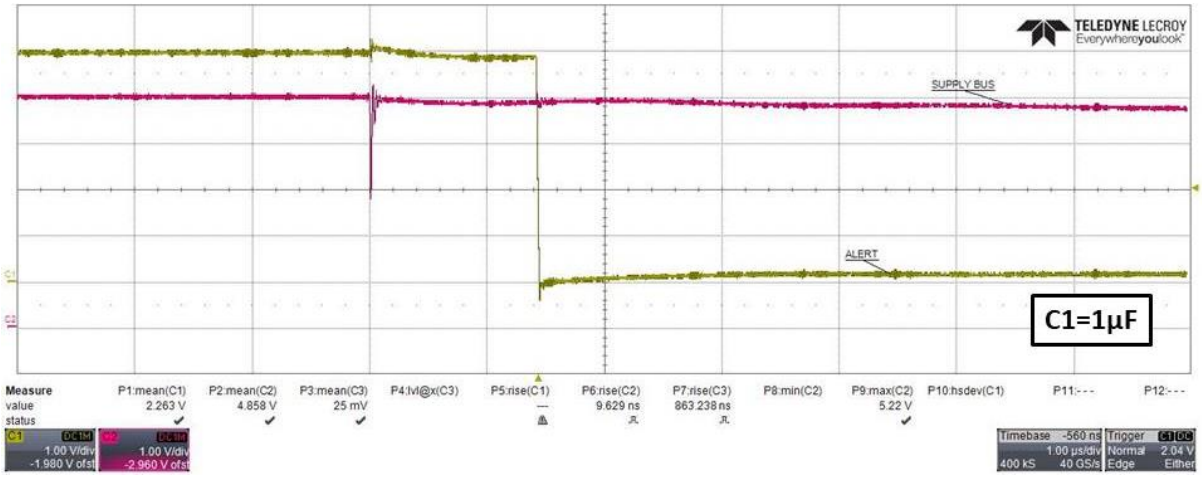
Nello specifico si sono acquisite la tensione di linea (in fuxia) e la tensione al pin ALERT (in giallo). La tensione di linea si è monitorata per vedere come varia quando si preme il tasto T1.

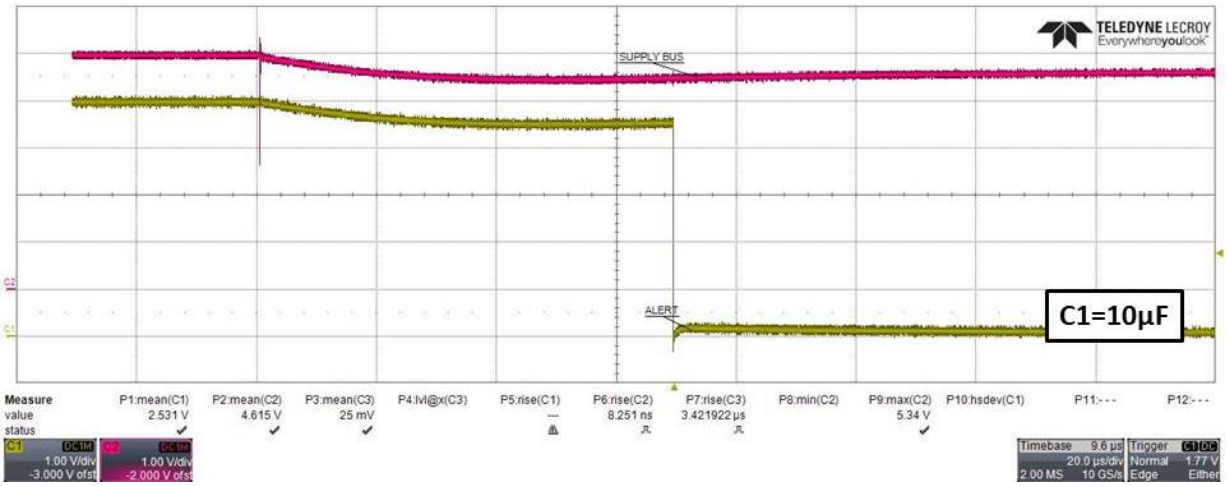
Successivamente si è aggiunto un condensatore in parallelo ad R4 per valutare di quanto rallenta il circuito nel rilevare la condizione di OC. Per chiarezza si riporta il circuito:

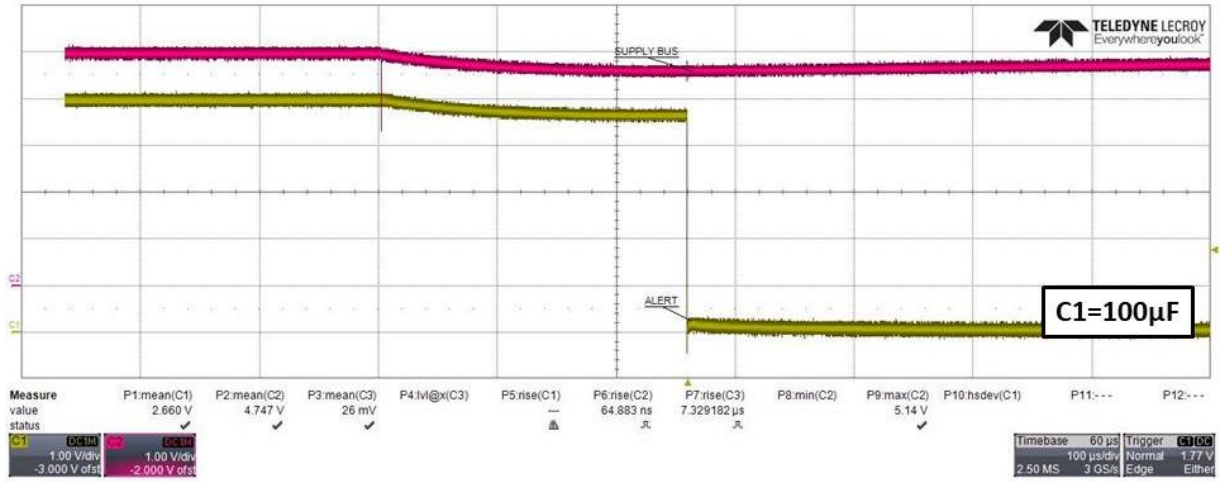


Nello specifico sono state fatte le acquisizioni per tre valori di C1: 1µF, 10µF e 100µF.

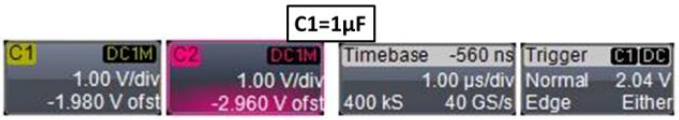
Di seguito si riportano gli andamenti della tensione di linea e della tensione al pin ALERT:

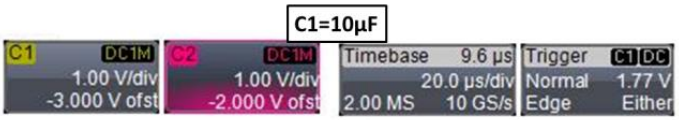


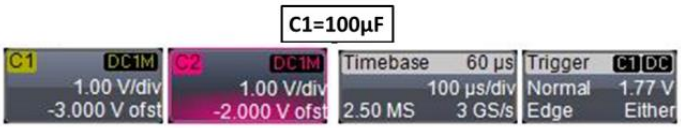




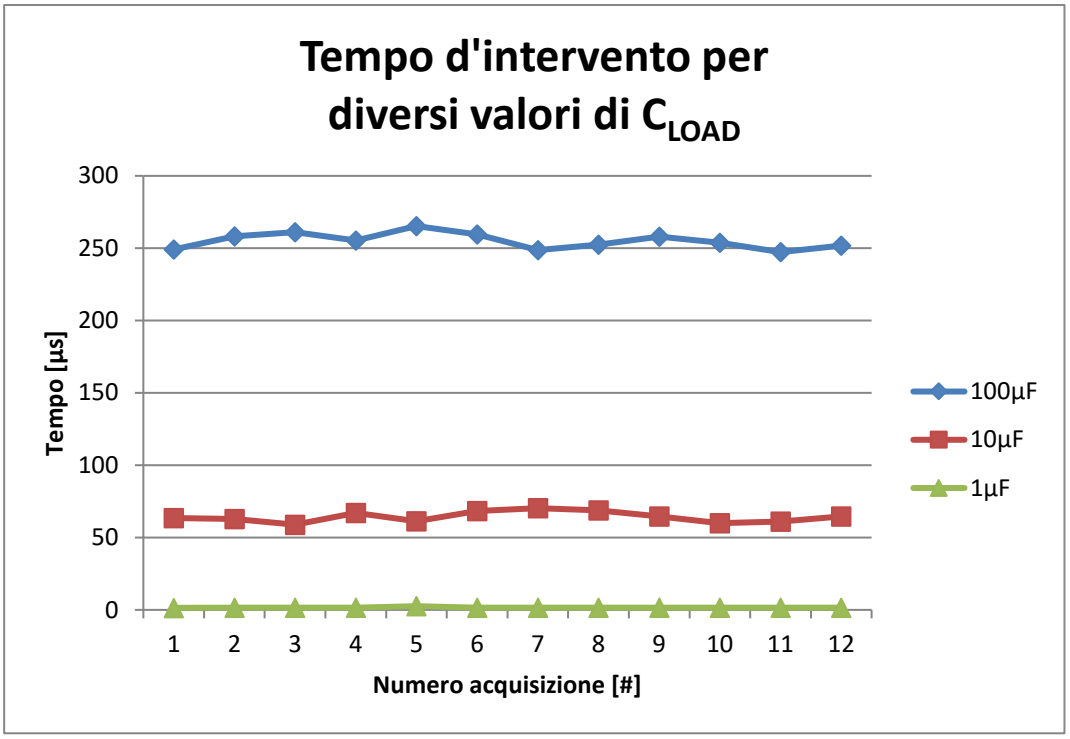
I settaggi dei canali nei vari casi sono i seguenti:





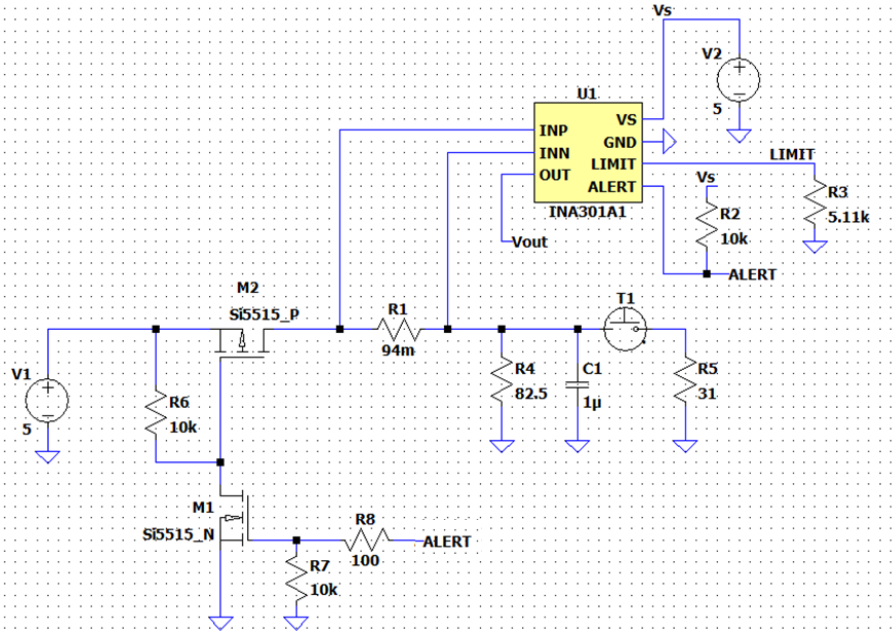


Si riporta anche un grafico in cui si evidenzia come varia il tempo d'intervento in funzione della C1:



L'aumento del tempo d'intervento è dovuto al fatto che, in un primo momento, l'incremento di corrente richiesto dal carico viene fornito da C1 per mantenere costante la tensione al nodo. Appena C1 non è più in grado di fornire tale corrente, si inizia a vedere un incremento sulla corrente che scorre su R_{sense}. Ciò causa la condizione di OC ($V_{OUT} > V_{INTERVENTO}$) con conseguente segnalazione dell'*INA301-Q1* che porterà a livello logico basso il pin ALERT. Da ciò si conclude che maggiore è il valore di C1, maggiore sarà il ritardo introdotto nel rivelare la condizione di OC.

Successivamente si è inserito lo switch (*Si5515CDC*) ed è stata testata la struttura dello switch senza la funzione latch. Di seguito si riporta il circuito implementato:



Come si vede dallo schema si continua ad alimentare l'integrato da un'altra sorgente per verificare il corretto funzionamento.

Per alimentare l'integrato, o gli integrati, a valle della R_{sense} e mantenere la stessa struttura dello switch si deve aggiungere una linea di controllo ausiliaria che piloti opportunamente il gate del MOS-n (M1): ossia si

implementa un OR logico al gate di M1. Con il termine “pilotare opportunamente il gate” si intende che anche quest’altra linea si deve portare bassa al verificarsi di un OC. Se così non fosse, al verificarsi di un OC, si innescherebbe la seguente oscillazione:

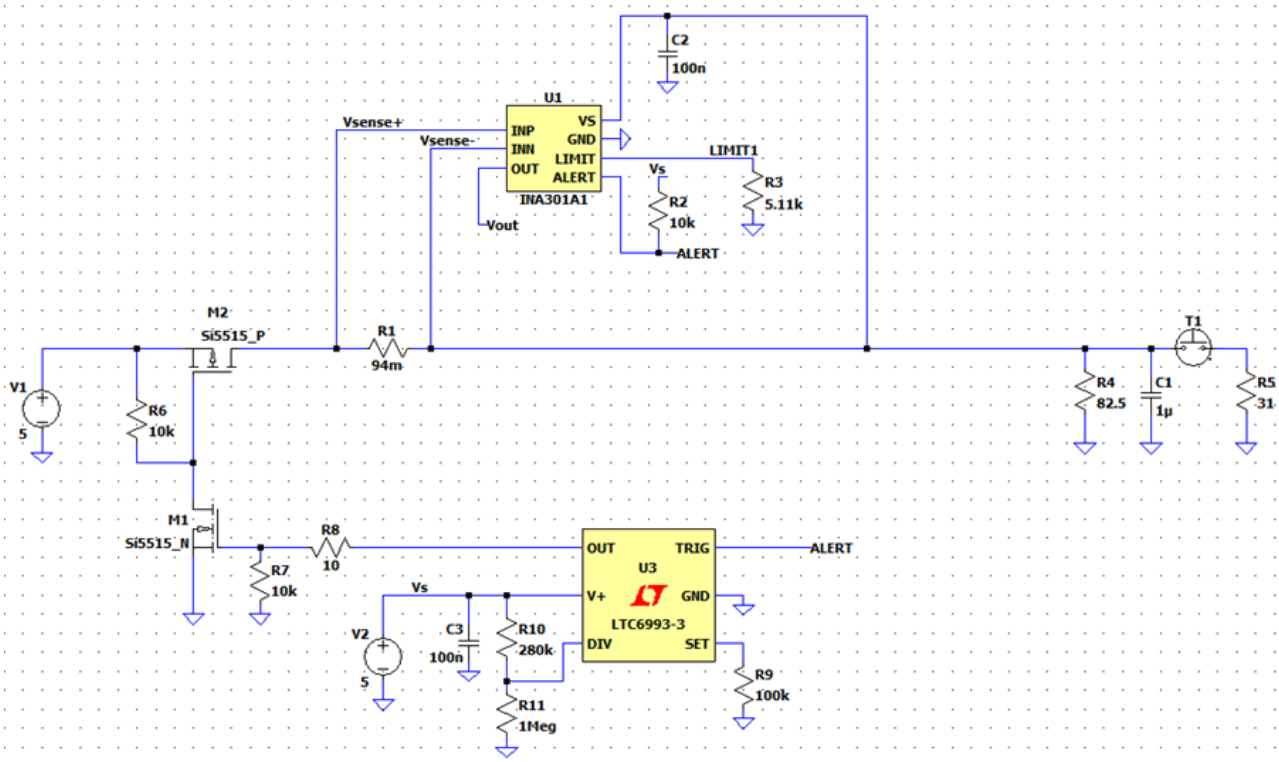
1. la linea di controllo ausiliaria tenderebbe a far chiudere lo switch, perché porterebbe allo stato logico alto il gate del MOS-n, ma gli *INA301-Q1* ne forzano l’apertura perché tramite il pin ALERT portano il gate a livello logico basso (fin quando sono alimentati);
2. Non appena gli *INA301-Q1* si spengono, la linea ausiliaria sarà l’unica ad avere il controllo del gate del MOS-n. Tale linea riporterà la tensione al gate a livello logico alto facendo richiudere lo switch;
3. Chiudendo lo switch si alimentano nuovamente gli *INA301-Q1* che riveleranno nuovamente la condizione di OC; si ripresenta quindi la condizione descritta al punto 1.

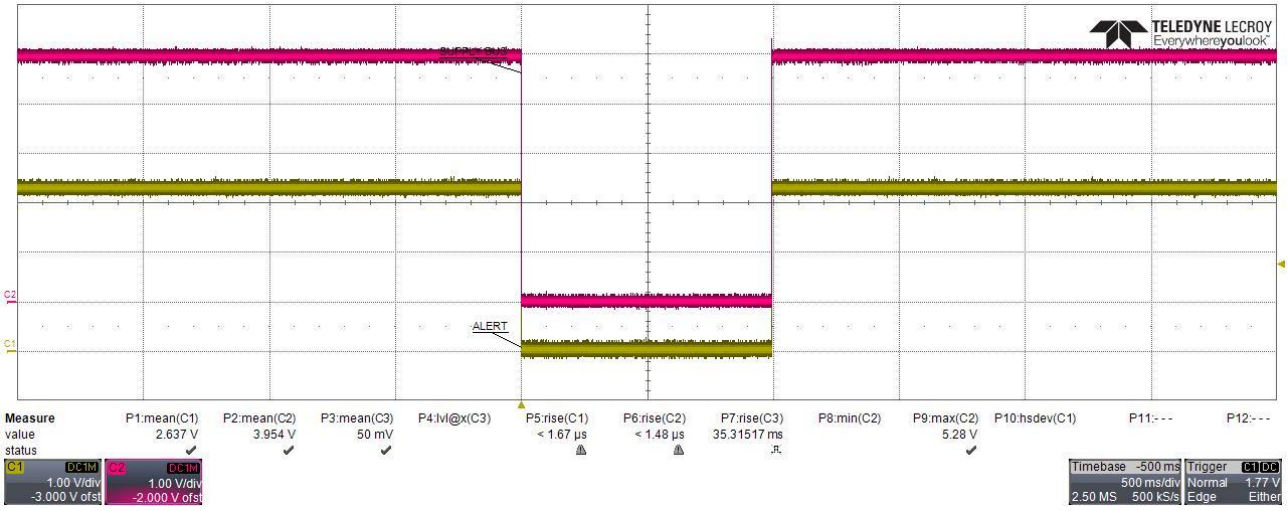
I passi appena descritti si ripeteranno indefinitamente se non si porta la linea ausiliaria a livello logico basso.

Per pilotare la linea di controllo ausiliaria si ricorre inizialmente ad un multivibratore: *LTC6993-3*. Questo multivibratore porterà bassa la linea per un certo tempo prima di riportarla alta (si veda il datasheet per ulteriori dettagli: [5]). Con l’introduzione del multivibratore si fa funzionare l’*INA301-Q1* in modalità *Transparent*.

Sulla PSU il multivibratore sarà sostituito dalla BEE che controlla la logica di accensione delle varie linee.

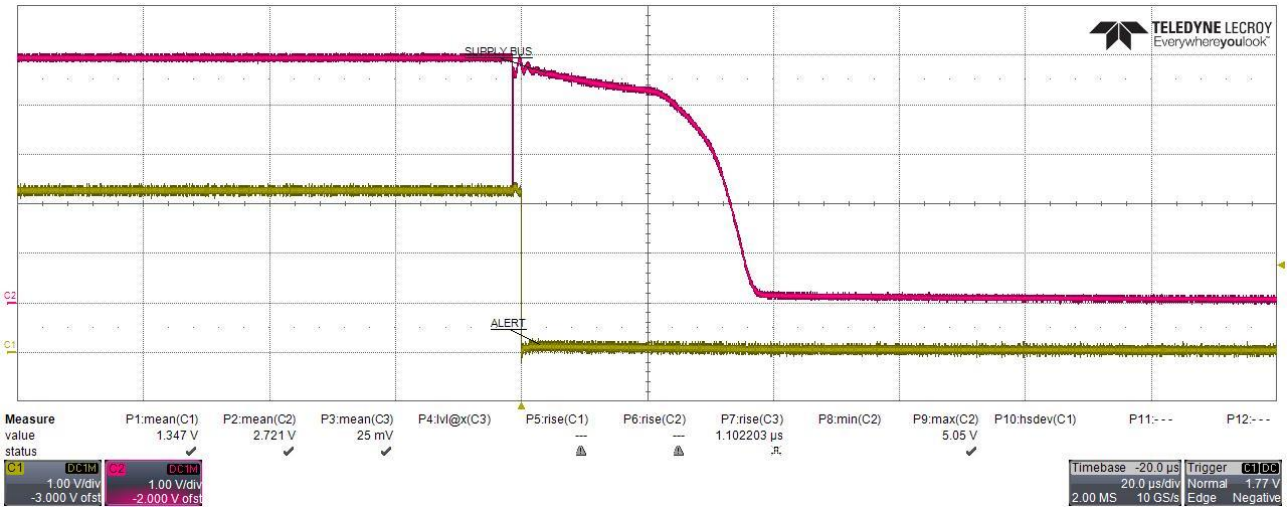
Di seguito si riporta il circuito implementato ed alcune delle acquisizioni della tensione di linea e della tensione al gate del NMOS dello switch nel caso in cui C1=1µF:

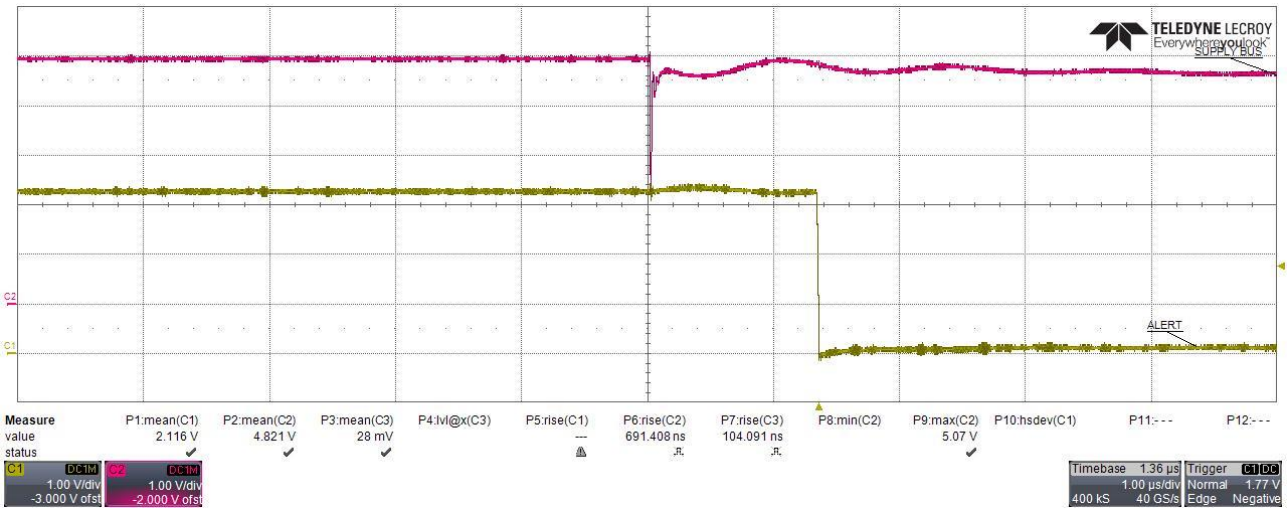




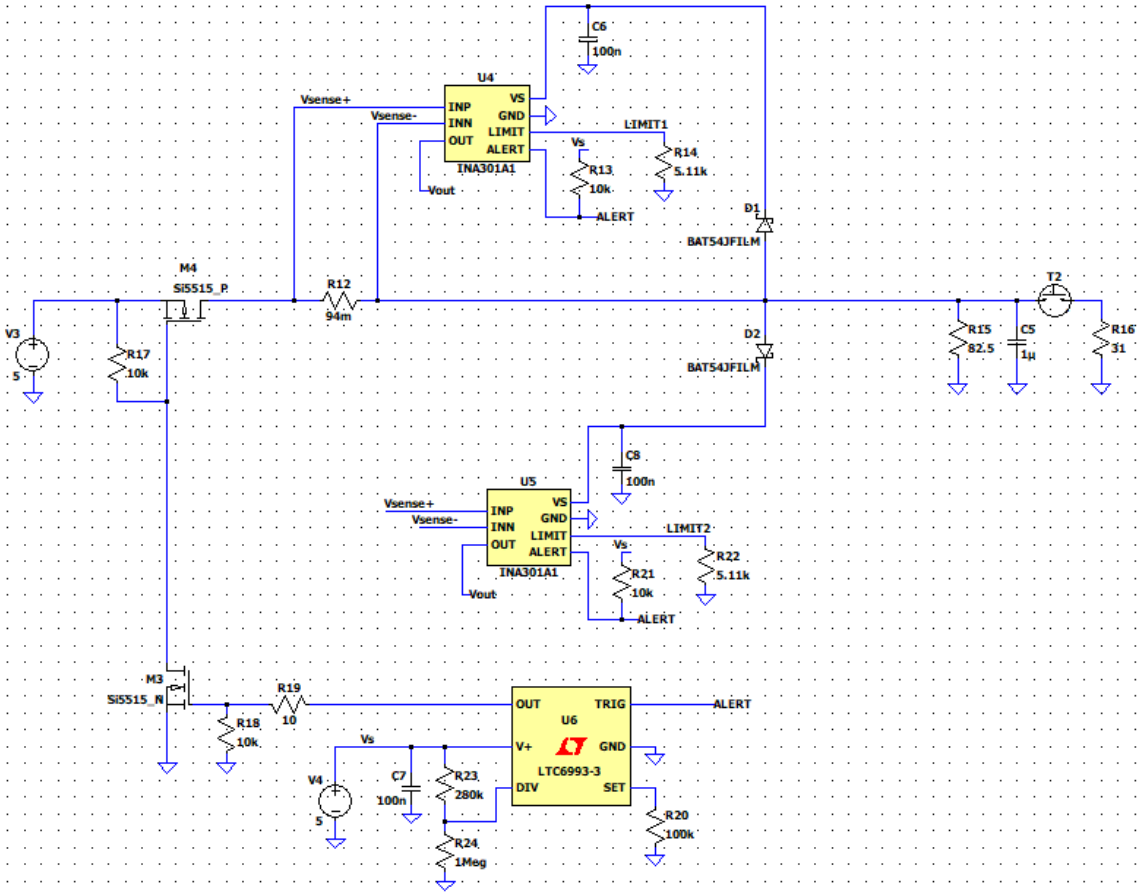
Nell'acquisizione si vede che sia la tensione di linea sia la tensione al gate vanno basse per un secondo. Dopo un secondo il multivibratore ripristina la tensione al gate permettendo la richiusura dello switch, così facendo si alimenta nuovamente il carico.

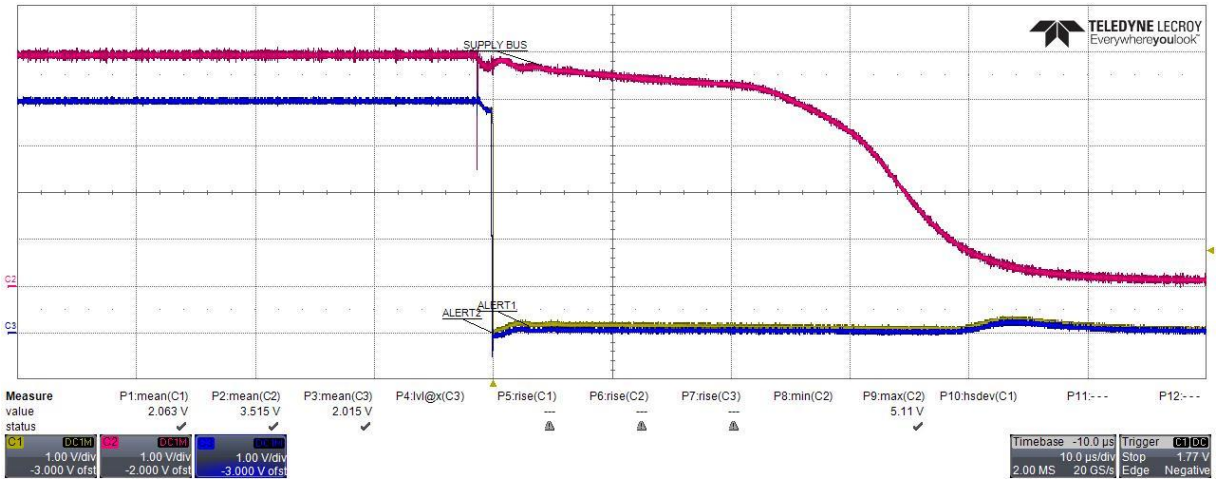
Nelle seguenti acquisizioni si vede come si comporta la tensione di linea all'apertura dello switch in cui si può apprezzare il tempo d'intervento del circuito ed il settaggio dell'oscilloscopio.

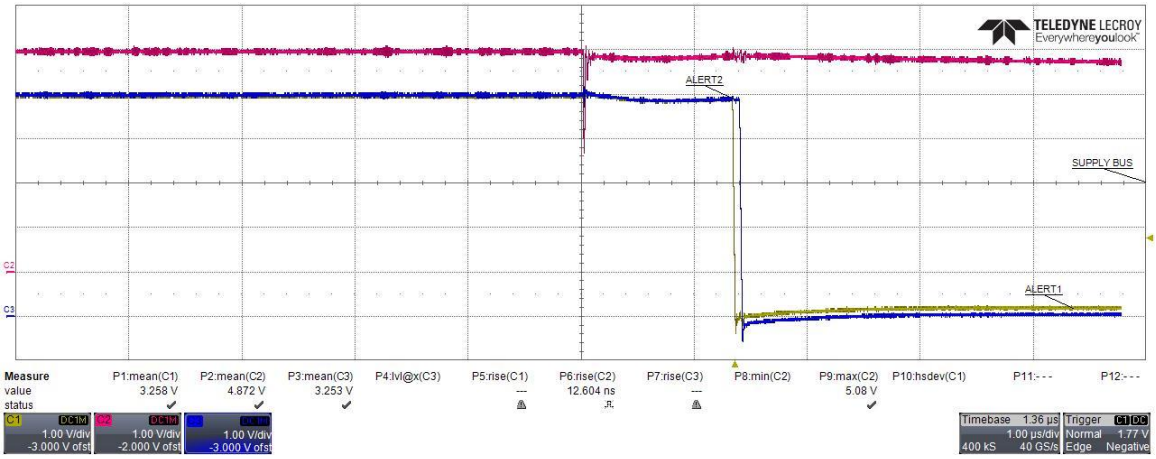


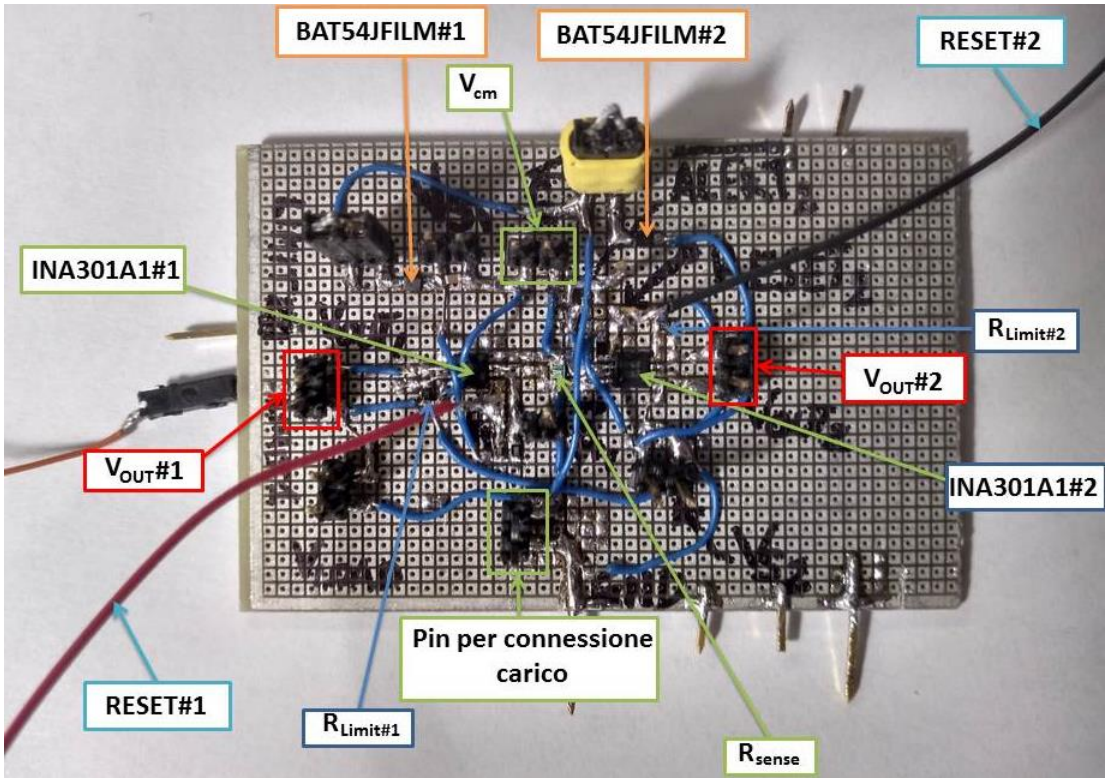


Successivamente si è connesso il secondo *INA301-Q1* a monitorare la stessa R_{sense} e si sono valutati i tempi d'intervento dei due *INA301-Q1*. Di seguito si riporta il circuito implementato, un'acquisizione dei due segnali di ALERT nel caso in cui C1=1µF e si riporta anche la scheda realizzata:









In questa scheda con V_{cm} si indica la tensione di linea da fornire al carico ed il multivibratore è stato inserito in un secondo momento.

Questa scheda è stata testata per verificare sia la struttura con i due *INA301-Q1* alimentati a valle della R_{sense} che monitorano, sia per valutare i tempi d'intervento dei due integrati al variare della componente capacitiva del carico.

Capitolo 4: Conclusioni

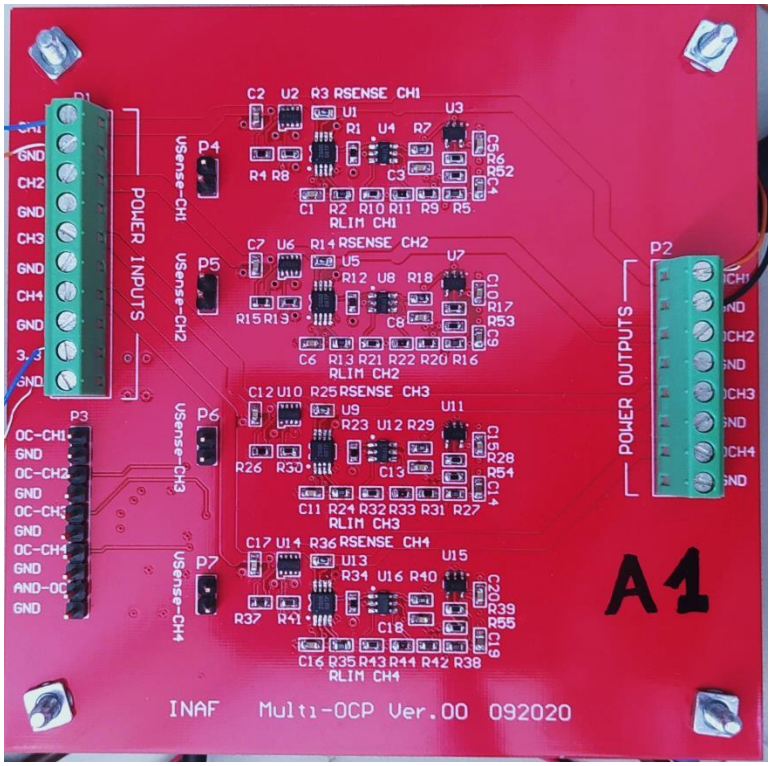
Dalle acquisizioni ottenute si è verificato che con questa struttura, switch + *Over Current Sensing*, è possibile controllare e monitorare tensioni differenti (12V0, 5V0 e 3V3) con una logica a 3V3 (o 5V0).

Questo, sulla PSU, permette di controllare le varie linee con componenti discreti senza quindi dover inserire altri circuiti integrati come gli *shift level*, che potrebbero essere interessati da latch-up.

Le acquisizioni hanno permesso di ottenere anche delle informazioni utili sui tempi d'intervento degli *Over Current Sensing* per diverse tipologie di carico. Ciò ha permesso di mettere a punto il firmware (F\W) della BEE per il controllo della PSU nell'eventualità si dovessero presentare scenari potenzialmente dannosi per l'intero payload.

Vista la versatilità del circuito "switch+ *Over Current Sensing*+ multivibratore" si è pensato di realizzare una board che permettesse di alimentare indipendentemente quattro carichi e monitorare, od eventualmente aprire per 1 secondo, la singola linea.

Di seguito si riporta una foto della board realizzata:



Questa board è stata utilizzata per rivelare eventuali latch-up in dei circuiti integrati irraggiati con un fascio di protoni. Questo test ha permesso di valutare l'occorrenza di latch-up in funzione della dose depositata dall'irraggiamento.

Bibliografia

[1] Vishay, «Si5515 N- an P- Channel 20V (D-S) MOSFET,» Vishay, [Online]. Available: https://www.vishay.com/en/product/68747/.

[2] Vishay, «Si1442-DH N-Channel 12V (D-S) MOSFET,» Vishay, [Online]. Available: https://www.vishay.com/en/product/63772/.

[3] T. Instrument, «INA301-Q1 data sheet, product information and support,» Texas Instrument, [Online]. Available: https://www.ti.com/product/INA301-Q1.

[4] E. Petersen, «The SEU figure of merit and proton upset rate calculations,» *IEEE Transactions on Nuclear Science,* vol. Volume: 45, n. 6, pp. 2550 - 2562, December 1998.

[5] A. Devices, «LT6993 Datasheet and Product Info,» [Online]. Available: https://www.analog.com/en/products/ltc6993-1.